

PCT/JP 2004/015159
25.10.2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

REC'D 18 NOV 2004

WIPO

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 2 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 4 3 4 0 2 8
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 4 3 4 0 2 8]

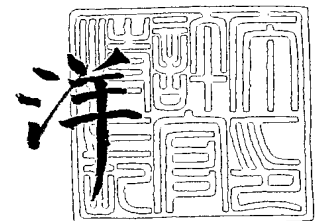
出 願 人 日 本 電 気 株 式 有 限 公 司
Applicant(s):

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 8 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特 2 0 0 4 - 3 0 7 6 9 2 4

【書類名】 特許願
【整理番号】 34601871
【提出日】 平成15年12月26日
【あて先】 特許庁長官 殿
【国際特許分類】 H01S 5/00
【発明者】
 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
 【氏名】 小田 三紀雄
【発明者】
 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
 【氏名】 高橋 久弥
【発明者】
 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
 【氏名】 中野 嘉一郎
【発明者】
 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
 【氏名】 古宇田 光
【発明者】
 【住所又は居所】 神奈川県横浜市緑区中津田 4 2 5 9 東京工業大学 精密工学研
 究所内
 【氏名】 小林 功郎
【特許出願人】
 【識別番号】 000004237
 【氏名又は名称】 日本電気株式会社
【代理人】
 【識別番号】 100123788
 【弁理士】
 【氏名又は名称】 宮崎 昭夫
 【電話番号】 03-3585-1882
【選任した代理人】
 【識別番号】 100088328
 【弁理士】
 【氏名又は名称】 金田 暢之
【選任した代理人】
 【識別番号】 100106297
 【弁理士】
 【氏名又は名称】 伊藤 克博
【選任した代理人】
 【識別番号】 100106138
 【弁理士】
 【氏名又は名称】 石橋 政幸
【手数料の表示】
 【予納台帳番号】 201087
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0304683

【書類名】 特許請求の範囲**【請求項 1】**

半導体集積回路を実装可能な基板であって、
入力された光信号を電気信号に変換して、実装されている半導体集積回路に出力可能な
2 以上の受光素子を有し、それら 2 以上の受光素子の高さが互いに同一である光入力付基
板。

【請求項 2】

前記 2 以上の受光素子の少なくとも 1 つに、入力された光を該受光素子の受光面に向け
て収束させる機能を有する光学素子が設けられている請求項 1 記載の光入力付基板。

【請求項 3】

前記 2 以上の受光素子の全部又は一部は、電極パターンを共通にしている請求項 1 又は
請求項 2 記載の光入力付基板。

【請求項 4】

半導体集積回路を実装可能な基板であって、
実装されている半導体集積回路から出力された電気信号を光信号に変換して出力可能な
2 以上の発光素子を有し、それら 2 以上の発光素子の高さが互いに同一である光出力付基
板。

【請求項 5】

前記 2 以上の発光素子の少なくとも 1 つに、該発光素子の発光面から出力された光を収
束させる機能を有する光学素子が設けられている請求項 4 記載の光出力付基板。

【請求項 6】

前記 2 以上の発光素子の全部又は一部は、電極パターンを共通にしている請求項 4 又は
請求項 5 記載の光出力付基板。

【請求項 7】

半導体集積回路を実装可能な基板であって、
入力された光信号を電気信号に変換して、実装されている半導体集積回路に出力可能な
2 以上の受光素子と、
実装されている半導体集積回路から出力された電気信号を光信号に変換して出力可能な
2 以上の発光素子とを有し、
前記 2 以上の受光素子の高さが互いに同一であり、前記 2 以上の発光素子の高さが互い
に同一である光入出力付基板。

【請求項 8】

前記 2 以上の受光素子の高さ、と、前記 2 以上の発光素子の高さ、とが互いに同一である請
求項 7 記載の光入出力付基板。

【請求項 9】

前記受光素子と発光素子の双方または一方に、入射した光を収束させる機能を有する光
学素子が設けられている請求項 7 又は請求項 8 記載の光入出力基板。

【請求項 10】

前記 2 以上の受光素子及び発光素子の全部又は一部は、電極パターンを共通にしている
請求項 7 ～請求項 9 のいずれかに記載の光入出力付基板。

【請求項 11】

前記受光素子を前記基板に固定している半田の融点と、前記発光素子を前記基板に固定
している半田の融点とが異なる請求項 7 ～請求項 10 のいずれかに記載の光入出力付基板
。

【請求項 12】

請求項 1 ～請求項 3 のいずれかに記載の光入力付基板に半導体集積回路が実装され、そ
の半導体集積回路の電気信号入力ポートに、前記光入力付基板が有する受光素子によって
変換された電気信号が出力される光素子一体型半導体集積回路。

【請求項 13】

請求項 4 ～請求項 6 のいずれかに記載の光出力付基板に半導体集積回路が実装され、そ

の半導体集積回路の電気信号出力ポートから出力された電気信号が、前記光出力付基板が有する発光素子によって光信号に変換されて外部に出力される光素子一体型半導体集積回路。

【請求項 1 4】

請求項 7 ～ 請求項 1 1 のいずれかに記載の光入出力付基板に半導体集積回路が実装され、その半導体集積回路の電気信号入力ポートに、前記光入出力付基板が有する受光素子によって変換された電気信号が出力され、前記半導体集積回路の電気信号出力ポートから出力された電気信号が、前記光入出力付基板が有する発光素子によって光信号に変換されて出力される光素子一体型半導体集積回路。

【請求項 1 5】

入力された光信号を電気信号に変換する 2 以上の受光素子が実装された光入力付基板の製造方法であって、

素子基板に 2 以上の受光素子が形成されてなる受光素子アレイのうち、必要な受光素子にバンプを形成する工程と、

前記バンプを用いて前記受光素子アレイを基板に実装して、前記必要な受光素子を前記基板の入力ポートに接続させる工程と、

前記入力ポートに接続された前記必要な受光素子を保護膜で被覆する工程と、

前記保護膜によって被覆されていない不必要な受光素子を前記受光素子アレイから除去する工程と、

前記保護膜を除去する工程と、

からなる受光素子実装工程を含む光入力付基板の製造方法。

【請求項 1 6】

入力された電気信号を光信号に変換する 2 以上の発光素子が実装された光出力付基板の製造方法であって、

素子基板に 2 以上の発光素子が形成されてなる発光素子アレイのうち、必要な発光素子を保護膜で被覆する工程と、

前記保護膜によって被覆されていない不必要な発光素子の機能部を除去する工程と、

前記保護膜を除去する工程と、

前記不必要な発光素子の機能部が除去された前記発光素子アレイを基板に実装し、前記必要な発光素子を前記基板の出力ポートに接続させる工程と、

からなる発光素子実装工程を含む光出力付基板の製造方法。

【請求項 1 7】

入力された電気信号を光信号に変換する 2 以上の発光素子が実装された光出力付基板の製造方法であって、

素子基板に 2 以上の発光素子が形成されてなる発光素子アレイのうち、必要な発光素子を保護膜で被覆する工程と、

前記保護膜によって被覆されていない不必要な発光素子を前記素子基板ごと除去する工程と、

前記保護膜を除去する工程と、

前記不必要な発光素子が除去された前記発光素子アレイを基板に実装し、前記必要な発光素子を前記基板の出力ポートに接続させる工程と、

からなる発光素子実装工程を含む光出力付基板の製造方法。

【請求項 1 8】

請求項 1 5 記載の受光素子実装工程によって前記基板に 2 以上の受光素子を一括して実装し、請求項 1 6 又は請求項 1 7 記載の発光素子実装工程によって前記基板に 2 以上の発光素子を一括して実装する光入出力付基板の製造方法。

【請求項 1 9】

前記受光素子アレイの素子基板をエッチングして薄膜化する工程を含む請求項 1 5 記載の光入力付基板の製造方法。

【請求項 2 0】

前記発光素子アレイの素子基板をエッチングして薄膜化する工程を含む請求項 1 6 又は請求項 1 7 記載の光出力付基板の製造方法。

【請求項 2 1】

前記受光素子アレイの素子基板と前記発光素子アレイの素子基板の双方または一方をエッチングして薄膜化する工程を含む請求項 1 8 記載の光入出力付基板。

【請求項 2 2】

前記受光素子アレイの素子基板をエッチングしてレンズ化する工程を含む請求項 1 5 又は請求項 1 9 記載の光入力付基板の製造方法。

【請求項 2 3】

前記発光素子アレイの素子基板をエッチングしてレンズ化する工程を含む請求項 1 6 、請求項 1 7 、請求項 2 0 のいずれかに記載の光出力付基板の製造方法。

【請求項 2 4】

前記受光素子アレイの素子基板と前記発光素子アレイの素子基板の双方または一方をエッチングしてレンズ化する工程を含む請求項 1 8 又は請求項 2 1 記載の光入出力付基板の製造方法。

【書類名】明細書

【発明の名称】光入力付基板、光出力付基板、光入出力付基板及びこれらの製造方法、光素子一体型半導体集積回路

【技術分野】

【0001】

本発明は、半導体集積回路（以下、「LSI」と呼ぶ場合もある）に関するものである。

【背景技術】

【0002】

LSIの処理速度の高速化はますます進展しているが、複数のLSI間を結ぶ電気配線の伝送能力には限界があると考えられている。そこで、高速伝送、長距離伝送が可能な上、電磁波ノイズの放射が少ないといった優位性を有する光信号を用いた伝送が注目されている。例えば、あるLSIから出力された電気信号を光信号に変換して光配線で伝送し、他のLSIに入力する前に電気信号に再変換すれば、電気信号のみを用いる場合に比べてより高速な伝送が可能になると考えられている。

【0003】

特許文献1には、電気配線によって接続された光素子とLSIとが同一パッケージ内に集積された光電子集積素子が開示されている。この光電子集積素子では、ベースプレート上に電子集積素子ベアチップが固定され、そのベアチップに近接して配線手段を挟んで光素子が固定されている。ここで光素子は、面発光レーザアレイ、又は受光素子アレイであって、インナーリード上、又は電子集積素子に直接実装されている。また、電子集積素子の入出力ポートは、電子集積素子の周辺部にそれぞれ纏められており、入力ポートに対応して受光素子アレイが搭載され、出力ポートに対応して面発光レーザが搭載されている。より具体的には、電子集積素子に光素子が直接実装された形態では、光素子のパッドがそのパッドの配列に対応させた電子集積素子の入出力ポートに電気接続されている。また、電子集積素子と光素子とがインナーリードによって電気接続された形態では、電子集積素子が搭載されるパッドと、光素子アレイが搭載されるパッド（光素子アレイを搭載するために、光素子アレイのパッド配置に合わせてある）とを1対1で対応させたインナーリードを用いて電気接続している。

【特許文献1】特開20001-36197号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献1に開示されている従来技術は、インナーリードのような電気配線基板の入出力ポートが一箇所に纏められており、かつ、一定方向に規則的に並んで配置されていることを前提とした技術である。従って、電気配線基板の入出力ポートが複数存在し、しかも、それら入出力ポートがランダム（不規則）に配置されている場合には、1チャンネルの受光素子及び発光素子を目的の数だけ用意し、それら素子を電気配線基板の入出力ポートの位置に合わせて1つずつ実装しなくてはならない。しかし、複数の光素子を1つずつ実装すると、各光素子の受光面や発光面の高さが不揃いとなり、外部機器との光結合において損失が大きくなる。また、光素子の実装に長時間を要し、高コスト化を招くことにもなる。

【0005】

そこで本発明の目的の一つは、ランダムに配置された2以上の入力ポートに実装された受光素子の高さが一定である電気配線基板を提供することにある。また、本発明の目的の他の一つは、ランダムに配置された2以上の出力ポートに実装された発光素子の高さが一定である電気配線基板を提供することにある。また、本発明の目的の他の一つは、ランダムに配置された2以上の入力ポート及び出力ポートに実装された受光素子及び発光素子の高さが一定である電気配線基板を提供することにある。また、本発明の目的の他の一つは、ランダムに配置された2以上の入力ポート及び出力ポートに設けられた受光素子及び発

光素子の高さが全て一定である電気配線基板を提供することにある。

【0006】

さらに、本発明の目的の他の一つは、上記電気配線基板をなるべく少ない製造工程によって低コストで製造する方法を提供することにある。

【0007】

加えて、本発明の目的の他の一つは、上記電気配線基板に半導体集積回路が実装された光素子一体型半導体集積回路を提供することにある。

【課題を解決するための手段】

【0008】

上記目的を達成する本発明の一つは、LSIを実装可能な基板であって、2以上の光素子が実装されおり、それら2以上の光素子の高さが一定に揃えられていることを特徴とする。ここで、上記光素子は、入力された光信号を電気信号に変換して、基板に実装されているLSIに出力可能な受光素子とすることができる。また、実装されているLSIから出力された電気信号を光信号に変換して外部に出力可能な発光素子とすることもできる。さらに、上記受光素子と発光素子の双方とすることもできる。

【0009】

ここで、上記光素子が受光素子の場合、光素子の高さとは、受光素子が実装されている基板の表面（実装面）から、その受光素子の受光面までの距離を意味する。また、光素子が発光素子の場合、光素子の高さとは、発光素子が実装されている基板の表面（実装面）から、その発光素子の発光面までの距離を意味する。

【0010】

また、上記基板に実装されている2以上の光素子間で電極パターンを共用することもできる。例えば、2以上の受光素子が実装されている場合、それら受光素子の全部又は一部で電極パターンを共用することができる。2以上の発光素子が実装されている場合、それら発光素子の全部又は一部で電極パターンを共用することもできる。さらに、受光素子及び発光素子の双方が実装されている場合、受光素子と発光素子の間で電極パターンを共用することもできる。

【0011】

また、上記基板に実装されている2以上の光素子の少なくとも一つには、入射した光を収束させる作用を有する光学素子を設けることができる。例えば、光素子が受光素子である場合には、外部から入力された光をその受光素子の受光面に向けて収束させる作用を有するレンズを設けることができる。光素子が発光素子である場合には、その発光素子の発光面から出力された光をその光の入射面に向けて収束させる作用を有するレンズを設けることができる。

【0012】

上記目的を達成する本発明の他の一つは、光信号の入力が可能な光素子一体型半導体集積回路であって、上記本発明の光入力付基板にLSIが実装され、外部から入力された光信号が光入力付基板の受光素子によって電気信号に変換されてからLSIの電気信号入力ポートへ出力されることを特徴とする。ここで、LSIの電気信号入力ポートが不規則に配列されている場合には、それら電気信号入力ポートを、規則的に配列されている光入力付基板の入力ポート（受光素子が実装されている）に配線することによって再配置することもできる。

【0013】

上記目的を達成する本発明の他の一つは、光信号の出力が可能な光素子一体型半導体集積回路であって、上記本発明の光出力付基板にLSIが実装され、実装されているLSIから出力された電気信号が光出力付基板の発光素子によって光信号に変換されてから外部へ出力されることを特徴とする。ここで、LSIの電気信号出力ポートが不規則に配列されている場合には、それら電気信号出力ポートを、規則的に配列されている光出力付基板の出力ポート（発光素子が実装されている）に接続することによって再配置することもできる。

【0014】

上記目的を達成する本発明の他の一つは、光信号の入出力が可能な光素子一体型半導体集積回路であって、上記本発明の光入出力付基板にLSIが実装され、外部から入力された光信号が光入出力付基板の受光素子によって電気信号に変換されてからLSIの電気信号入力ポートへ出力され、LSIから出力された電気信号が光入出力付基板の発光素子によって光信号に変換されてから外部へ出力されることを特徴とする。ここでも、不規則に配列されている半導体集積回路の電気信号入力ポートと電気信号出力ポートの双方または一方を上記と同様の方法によって再配置することができる。

【0015】

上記目的を達成する本発明の他の一つは、本発明の光入力付基板、光出力付基板又は光入出力付基板を製造する方法であって、不必要な光素子を予め除去した光素子アレイを基板に実装することによって、2以上の光素子を基板に一括実装する光素子実装工程、又は、光素子アレイを基板に実装してから不必要な光素子を除去することによって2以上の光素子を基板に一括実装する光素子実装工程のいずれか一方または双方によって光素子を基板に実装することを特徴とする。ここでも、上記光素子は、受光素子又は発光素子又はこれらの組み合わせとすることができる。上記光素子が受光素子の場合、上記光素子アレイとは、複数の受光素子が素子基板上に形成された受光素子アレイを意味することは明らかである。また、光素子が発光素子の場合、上記光素子アレイとは、素子基板上に複数の発光素子が形成された発光素子アレイを意味することは明らかである。

【0016】

上記本発明の光入力付基板、光出力付基板または光入出力付基板を製造する方法には、上記光素子アレイの素子基板をエッチングして薄膜化する工程や、素子基板をエッチングしてレンズ化する工程を含めることもできる。

【発明の効果】

【0017】

上記特徴を有する本発明の光入力付基板、光出力付基板又は光入出力付基板では、実装されている2以上の受光素子と発光素子の双方または一方の高さが一定に揃っている。従って、この基板にLSIを実装して光素子一体型半導体集積回路を製造すれば、高さが一定である発光素子と発光素子の双方または一方を備えた光素子一体型半導体集積回路を提供することができる。この光素子一体型半導体集積回路は、複数の光回路、例えば光ファイバや光導波路と光結合させることによって、高速、長距離かつ耐ノイズ性に優れた伝送を実現可能なばかりでなく、このような利用環境において、受発光素子が光結合すべき光回路の結合部の高さを揃えておくことによって、全て受発光素子のチャンネルについて高効率な光結合が実現されるという効果が得られる。さらには、全チャンネルで高効率な光結合が実現されることによって、光信号の強度を有効に使えるため、伝送可能距離のさらなる長距離化が可能になるといった効果が得られる。あるいは近距離の光伝送であっても、光結合効率が高いため、より高強度のまま光信号を伝送できるため、さらに耐ノイズ性が向上するといった効果が得られる。

【0018】

また、上記特徴を有する本発明の製造方法によって、光入力付基板、光出力付基板又は光入出力付基板を製造すれば、2以上の光素子の高さを確実に、かつ、容易に揃えることができる。さらに、複数の光素子を1つずつ個別に順々に実装していく場合に比べて製造工程が少なくなり、低コスト化が図られる。かかる効果は実装される光素子の個数が多くなればなるほど、顕著なものとなる。

【発明を実施するための最良の形態】

【0019】

(実施形態1)

以下、本発明の光出力付基板及び光素子一体型半導体集積回路（以下「光素子一体型LSI」と呼ぶ場合もある）の一例を図面に基づいて詳細に説明する。図1(a)は本例の光出力付基板1Aの構造概略を示す模式的平面図であり、(b)は模式的断面図であり、

(c) は本例の光素子一体型 L S I 4 4 の構造概略を示す模式的断面図である。

【0020】

本例の光出力付基板 1 A では、基板 1 の片面（本例では裏面）に形成されている出力ポート（不図示）に発光素子 2 a が半田バンプ 3 によって電気接続されている。基板 1 の裏面には出力ポートが複数存在し、それら出力ポートは様々な位置にランダムに配置されており、各出力ポートに対して発光素子 2 a が実装されている。発光素子 2 a には、基板 1 の裏面側（図 1（b）の下方）に光を出力可能なものが用いられている。従って、基板 1 の出力ポートからオンオフの電気信号が出力されると、その電気信号は発光素子 2 a に入力されて光信号に変換され、オンオフの光信号として下方に向けて出力される。

【0021】

本例の光素子一体型 L S I 4 4 では、図 1（a）、（b）に示す光出力付基板 1 A に L S I 4 が実装されている。さらに、L S I 4 の電気信号出力ポート（不図示）は、基板 1 の入力ポート（不図示）に半田バンプ 3 によって電気接続されている。この結果、L S I 4 と各発光素子 2 a とは、光出力付基板 1 A の電気配線 5 を介して電氣的に接続されている。従って、L S I 4 の電気信号出力ポートからオンオフの電気信号が出力されると、出力された電気信号が光出力付基板 1 A の出力ポートから出力されて発光素子 2 a に入力され、オンオフの光信号として出力される。

【0022】

図 2（a）～（d）に、図 1（a）、（b）に示す光出力付基板 1 A の製造方法を示す。ここでは、出力ポートが 8 つある基板 1 を例にとって製造方法を説明するが、出力ポートの数が異なるときは、発光素子の数を適宜増減すればよい。

【0023】

図 2（a）に示すように、素子基板上に発光素子 2 a が 4 × 4 で配置された発光素子アレイ 2 を用意する。発光素子アレイ 2 を構成する複数の発光素子 2 a のうち、必要な発光素子 2 a のパッドに半田バンプ 3 を形成し、形成された半田バンプ 3 を用いて発光素子アレイ 2 と基板 1 とを電気接続する。ここで、必要な発光素子 2 a とは、基板 1 の出力ポートに電気接続することを意図する発光素子 2 a を意味する。従って、基板 1 の出力ポートに電気接続されない発光素子 2 a は、基板 1 の上に載せられてはいるが、基板 1 に電氣的に接続されてはいない。

【0024】

次に、図 2（b）に示すように、発光素子アレイ 2 のうち、必要な発光素子 2 a のみを覆うように保護膜 6 を形成する。本例では、レジストの露光・現像等によりパターンニングした保護膜 6 を用いた。

【0025】

次に、図 2（c）に示すように、不要な発光素子 2 a をエッチングによって除去する。その後、図 2（d）に示すように、保護膜 6 を除去する。

【0026】

以上の工程によって、基板 1 の任意の位置に配置された複数の出力ポートに発光素子 2 a がそれぞれ実装された光出力付基板 1 A が製造される。さらに、製造された光出力付基板 1 A の上に L S I 4 を搭載し、L S I 4 の電気信号出力ポートと、基板 1 の入力ポートとを電気接続させれば、図 1（c）に示す光素子一体型 L S I 4 4 が製造される。

【0027】

本例の製造方法では、複数の発光素子 2 a からなる発光素子アレイ 2 を基板 1 に搭載した後、必要な発光素子 2 a を残し、不要な発光素子 2 a を除去することを特徴する。従って、基板 1 の複数の出力ポートがランダムに配置されていても、全ての出力ポートに発光素子 2 a が一括して実装された光出力付基板 1 A が得られる。この結果、発光素子 2 a の実装工程が簡略になり、低コスト化に寄与する。さらに、発光素子アレイ 2 を構成する複数の発光素子 2 a は、予め発光面の高さが揃えられているので、光出力付基板 1 A が備える複数の発光素子 2 a の発光面は全て同一の高さとなる。ここで、光出力付基板 1 A に L S I 4 を実装してなる光素子一体型 L S I 4 4 を光回路に光結合させて、外部の L S I

やメモリ等との間で光信号の送受信を行なおうとする場合、各光回路の光信号入射面は一定の高さに揃えられているのが通常である。従って、光出力付基板 1 A が備える複数の発光素子 2 a の高さが一定であるということは、各発光素子 2 a と、それが光結合する複数の光回路との間隔を、全チャンネルにおいて一定に保つことができ、全発光素子 2 a と全光回路との間で高効率の光結合が実現されることを意味する。さらに、高効率の光結合が実現されることによって、各発光素子 2 a からの出射光の大部分を光回路に入射させることができるため、より遠方まで光信号を伝送できたり、また短距離の伝送であっても、ノイズ耐性が強い伝送ができるという効果も得られる。尚、ここでは一つの製造方法について説明したが、以下で述べる別の製造方法を用いて図 1 (a)、(b) に示す光出力付基板 1 A を製造することもできる。また、以下に述べる製造方法によって製造された光出力付基板に L S I を実装することによって、光素子一体型 L S I を製造することもできる。

【0028】

(実施形態 2)

以下、本発明の光入力付基板及び光素子一体型 L S I の一例を図面に基づいて詳細に説明する。図 3 (a) は本例の光入力付基板 1 B の構造概略を示す模式的平面図であり、(b) は模式的断面図であり、(c) は本例の光素子一体型 L S I 4 4 の構造概略を示す模式的断面図である。

【0029】

本例の光入力付基板 1 B では、基板 1 の片面 (本例では裏面) に形成されている入力ポート (不図示) に受光素子 7 a が半田バンプ 3 によって電気接続されている。基板 1 の裏面には入力ポートが複数存在し、それら入力ポートは様々な位置にランダムに配置されており、各入力ポートに対して受光素子 7 a が実装されている。受光素子 7 a には、基板 1 の裏面側 (図 3 (b) の下方) から入射した光を受光可能なものが用いられている。従って、外部からオンオフの光信号が入力されると、その光信号は受光素子 7 a によって電気信号に変換され、オンオフの電気信号として基板 1 の入力ポートに出力される。

【0030】

本例の光素子一体型 L S I 4 4 では、図 3 (a)、(b) に示す光入力付基板 1 B に L S I 4 が実装されている。さらに、L S I 4 の電気信号入力ポート (不図示) は、基板 1 の出力ポート (不図示) に半田バンプ 3 によって電気接続されている。この結果、L S I 4 と各受光素子 7 a とは、光入力付基板 1 B の電気配線 5 を介して電氣的に接続されている。従って、外部からオンオフの光信号が入力されると、その光信号は受光素子 7 a によって電気信号に変換され、オンオフの電気信号として L S I 4 の電気信号入力ポートに出力される。

【0031】

図 4 (a) ~ (e) に、図 3 (a)、(b) に示す光入力付基板 1 B の製造方法を示す。ここでは、入力ポートが 8 つある基板 1 を例にとって製造方法を説明するが、入力ポートの数が異なるときは、受光素子の数を適宜増減すればよい。

【0032】

まず、図 4 (a) に示すように、素子基板 8 上に受光素子 7 a が 4 × 4 で配置された受光素子アレイ 7 を用意する。次に図 4 (b) に示すように、受光素子アレイ 7 を構成する複数の受光素子 7 a のうち、必要な受光素子 7 a のみを覆うように保護膜 6 を形成する。本例では、レジストの露光・現像等によりパターンニングした保護膜 6 を用いた。ここで、必要な受光素子 7 a とは、後に基板 1 の入力ポートに電気接続することを意図する受光素子 7 a を意味する。

【0033】

次に図 4 (c) に示すように、不要な受光素子 7 a をエッチングにより除去する。但し、このエッチング工程では、不要な受光素子 7 a の表面の機能部 (光信号を受光し、受光した光信号を電気信号に変換して出力する機能を果たすために必要な部分) 9 のみをエッチングし、素子基板 8 はエッチングしないようにする。これは複数の受光素子 7 a 全体の支持部として素子基板 8 を利用するためである。

【0034】

次に、保護膜 6 を除去することによって、必要な受光素子 7 a のみが機能部 9 を有する受光素子アレイ 7 を得る。その後、図 4 (d) に示すように、機能部 9 を有する各受光素子 7 a のパッドに半田バンプ 3 を形成し、形成された半田バンプ 3 を用いて必要な受光素子 7 a と基板 1 とを電気接続する。

【0035】

以上の工程によって、基板 1 の任意の位置に配置された複数の入力ポートに受光素子 7 a がそれぞれ実装された光入力付基板 1 B が製造される。さらに、製造された光入力付基板 1 B の上に L S I 4 を搭載し、L S I 4 の電気信号入力ポートと、基板 1 の出力ポートとを電気接続させれば、図 3 (c) に示す光素子一体型 L S I 4 4 が製造される。

【0036】

本例の製造方法では、不要な受光素子 7 a の機能部 9 が予め除去された受光素子アレイ 7 を基板 1 に搭載し、その後、必要な受光素子 7 a と基板 1 の入力ポートとを電気接続することを特徴する。従って、基板 1 の複数の入力ポートがランダムに配置されていても、全ての入力ポートに受光素子 7 a が一括して実装された光出力付基板 1 B が得られる。この結果、受光素子 7 a の実装工程が簡略になり、低コスト化に寄与する。さらに、受光素子アレイ 7 を構成する複数の受光素子 7 a は、予め受光面の高さが揃えられているので、光入力付基板 1 B が備える複数の受光素子 7 a の受光面は全て同一の高さとなる。ここで、光入力付基板 1 B に L S I 4 を実装してなる光素子一体型 L S I 4 4 を光回路に光結合させて、外部の L S I やメモリ等との間で光信号の送受信を行なおうとした場合、各光回路の光信号出射面は一定の高さに揃えられているのが通常である。従って、光入力付基板 1 B に実装されている複数の受光素子 7 a の高さが一定であるということは、各受光素子 7 a と、それが光結合する複数の光回路との間隔を、全チャンネルにおいて一定に保つことができ、全受光素子 7 a と全光回路との間で高効率の光結合が実現されることを意味する。さらに、高効率の光結合が実現されることによって、各光回路からの出射光の大部分が各受光素子 7 a によって受光されるため、従来は受光することが困難、又は不可能であった微弱な光信号であっても受光可能となる。例えば、長距離伝送によって減衰してしまったような微弱な光信号であっても受光可能となる。また、受光素子 7 a によって比較的光強度の強い光信号の大部分が受光されるため、ノイズ耐性が強い伝送が実現可能となる。後者の効果は、短距離伝送の場合に特に顕著である。

【0037】**(実施形態 3)**

以下、本発明の光入出力付基板及び光素子一体型 L S I の一例を図面に基づいて詳細に説明する。図 5 (a) は、本例の光入出力付基板 1 C の構造概略を示す模式的平面図であり、(b) は模式的断面図であり、(c) は本例の光素子一体型 L S I 4 4 を示す模式的断面図である。

【0038】

本例の光入出力付基板 1 C では、基板 1 の片面（本例では裏面）に形成されている出力ポート（不図示）に発光素子 2 a が半田バンプ 3 によって電気接続され、入力ポート（不図示）に受光素子 7 a が半田バンプ 3 によって電気接続されている。基板 1 の裏面には、出力ポート及び入力ポートが複数存在しており、それらポートは様々な位置にランダムに配置されている。

【0039】

発光素子 2 a には、基板 1 の裏面側（図 5 (b) の下方）に光を出力可能なものが用いられている。従って、基板 1 の出力ポートからオンオフの電気信号が出力されると、その電気信号は発光素子 2 a に入力されて光信号に変換され、オンオフの光信号として下方に向けて出力される。

【0040】

受光素子 7 a には、基板 1 の裏面側（図 5 (b) の下方）から入射した光を受光可能なものが用いられている。従って、外部からオンオフの光信号が入力されると、その光信号

は受光素子 7 a によって電気信号に変換され、オンオフの電気信号として基板 1 の入力ポートに出力される。

【0041】

図 6 (a) ~ (d) 及び図 7 (e) ~ (i) に、図 5 (a)、(b) に示す光入出力基板 1 C の製造方法を示す。ここでは出力ポート及び入力ポートが、それぞれ 8 つずつ設けられている基板 1 を例にとって製造方法を説明するが、入出力ポートの数が異なるときは、発光素子及び受光素子数の数を適宜変更することができる。

【0042】

図 6 (a) に示すように、素子基板上に発光素子 2 a が 4×4 で配置された発光素子アレイ 2 を用意する。発光素子アレイ 2 を構成している複数の発光素子 2 a のうち、必要な発光素子 2 a のパッドに半田バンプ 3 を形成し、形成された半田バンプ 3 を用いて発光素子アレイ 2 と基板 1 とを電気接続する。ここで、必要な発光素子 2 a とは、基板 1 の出力ポートに電気接続することを意図する発光素子 2 a を意味する。従って、基板 1 の出力ポートに電気接続されない発光素子 2 a は、基板 1 の上に載せられてはいるが、基板 1 と電気的に接続されてはいない。また、必要な発光素子 2 a を基板 1 に電気接続するために用いる半田バンプ 3 は、後に必要な受光素子 7 a を電気接続するために用いる半田バンプ 3 よりも融点が高いものを用いる。この半田の使い分けによって、後に受光素子 7 a を電気接続する工程において、発光素子 2 a を接続している半田をとかさずに受光素子 7 a を接続することができる。

【0043】

次に、図 6 (b) に示すように、発光素子アレイ 2 のうち、必要な発光素子 2 a のみを覆うように保護膜 6 を形成する。本例では、レジストの露光・現像等によりパターンニングした保護膜 6 を用いた。

【0044】

次に、図 6 (c) に示すように、不要な発光素子 2 a をエッチングによって除去する。その後、図 6 (d) に示すように、保護膜 6 を除去する。

【0045】

続いて、受光素子 7 a の実装工程を図 7 (e) ~ (i) を参照しながら説明する。まず、図 7 (e) に示すように、素子基板 8 上に受光素子 7 a が 4×4 で配置された受光素子アレイ 7 を用意する。

【0046】

次に図 7 (f) に示すように、受光素子アレイ 7 を構成する複数の受光素子 7 a のうち、必要な受光素子 7 a のみを覆うように保護膜 6 を形成する。本例では、レジストの露光・現像等によりパターンニングした保護膜 6 を用いた。ここで、必要な受光素子 7 a とは、後に基板 1 の入力ポートに電気接続することを意図する受光素子 7 a を意味する。

【0047】

次に図 7 (g) に示すように、不要な受光素子 7 a をエッチングにより除去する。但し、このエッチング工程では、不要な受光素子 7 a の表面の機能部 9 のみをエッチングし、素子基板 8 はエッチングしないようにする。これは複数の受光素子 7 a 全体の支持部として素子基板 8 を利用するためである。

【0048】

次に、保護膜 6 を除去することによって、必要な受光素子 7 a のみが機能部 9 を有する受光素子アレイ 7 を得る。その後、図 7 (h) に示すように、機能部 9 を有する複数の受光素子 7 a のパッドに半田バンプ 3 を形成し、形成された半田バンプ 3 を用いて必要な受光素子 7 a と基板 1 とを電気接続する。

【0049】

最後に、図 7 (i) に示すように、受光素子アレイ 7 の素子基板 8 をエッチングして除去する。

【0050】

ここで、発光素子アレイ 2 の 1 チャンネルの大きさを z とし (図 6 (d) 参照)、受光

素子アレイ 7 の 1 チャンネルの大きさを y としたとき (図 7 (g) 参照)、発光素子 2 a と受光素子 7 a が上記組み立て時に干渉し合わないよう、 z よりも y を小さくしてある。もっとも、上記 z を上記 y よりも小さくすることによっても、発光素子 2 a と受光素子 7 a との干渉を回避することができる。図 8 及び図 9 に、上記 z を上記 y よりも小さくすることによって、発光素子 2 a と受光素子 7 a との干渉を回避した例を示す。

【0051】

これまでは、受光素子アレイを構成する複数の受光素子のうち、不要な受光素子の機能部のみを除去し、素子基板は残存させる製造方法について説明してきた。しかし、図 10 (a) ~ (c) に示すように、不要な受光素子 7 a を素子基板 8 ごとエッチングしてしまってもよい。この製造方法によれば、発光素子 2 a と素子基板 8 との干渉を回避するために、先に実装される発光素子 2 a の厚みを規制する必要はなくなる。尚、図 10 (a) ~ (c) に示す工程は、図 7 (g) ~ (i) に示す工程に相当する。従って、図 6 (a) ~ (d) に示す工程に続いて、図 7 (e)、(f) に示す工程を実行し、その後図 10 (a) ~ (c) に示す工程を実行すれば、図 5 (a)、(b) に示す光入出力付基板 1 C を製造することができる。

【0052】

以上の工程によって、基板 1 の任意の位置に配置された複数の入出力ポートに発光素子 2 a 及び受光素子 7 a がそれぞれ実装された光入出力付基板 1 C が製造される。さらに、製造された光入出力付基板 1 C の上に L S I 4 を搭載し、L S I 4 の電気信号入力ポートと基板 1 の出力ポートを、L S I 4 の電気信号出力ポートと基板 1 の入力ポートを、それぞれ電気接続させれば、図 5 (c) に示す光素子一体型 L S I 4 4 が製造される。

【0053】

本例の製造方法では、複数の発光素子 2 a からなる発光素子アレイ 2 を基板 1 に搭載した後、必要な発光素子 2 a を残し、不必要な発光素子 2 a を除去するので、基板 1 の複数の出力ポートがランダムに配置されていても、全ての出力ポートに発光素子 2 a を一括で実装できる。従って、発光素子 2 a の実装工程が簡略になり、低コスト化に寄与する。さらに、発光素子アレイ 2 を構成する複数の発光素子 2 a は、予め発光面の高さが揃えられているので、基板 1 の各出力ポートに実装された発光素子 2 a の発光面は全て同一の高さとなる。ここで、光入出力付基板 1 C に L S I 4 を実装してなる光素子一体型 L S I 4 4 を光回路に光結合させて、外部の L S I やメモリ等との間で光信号の送受信を行なおうとした場合、各光回路の光信号入射面は一定の高さに揃えられているのが通常である。従って、基板 1 に実装されている複数の発光素子 2 a の高さが一定であるということは、各発光素子 2 a と、それが光結合する複数の光回路との間隔を、全チャンネルにおいて一定に保つことができ、全発光素子 2 a と全光回路との間で高効率の光結合が実現されることを意味する。さらに、高効率の光結合が実現されることによって、各発光素子 2 a からの出射光の大部分を光回路に入射させることができるため、伝送可能距離のさらなる長距離化が実現され、また短距離伝送であっても、ノイズ耐性が強い伝送ができるという効果も得られる。

【0054】

さらに本例の製造方法では、不要な受光素子 7 a の機能部 9 が予め除去された受光素子アレイ 7 を基板 1 に搭載し、その後、必要な受光素子 7 a と基板 1 の入力ポートとを電気接続する。従って、基板 1 の複数の入力ポートがランダムに配置されていても、全ての入力ポートに受光素子 7 a を一括で実装できる。従って、受光素子 7 a の実装工程が簡略になり、低コスト化に寄与する。さらに、受光素子アレイ 7 を構成する複数の受光素子 7 a は、予め受光面の高さが揃えられているので、基板 1 の各入力ポートに実装された複数の受光素子 7 a の受光面は全て同一の高さとなる。ここで、光入出力付基板 1 C に L S I 4 を実装してなる光素子一体型 L S I 4 4 を光回路に光結合させて、外部の L S I やメモリ等との間で光信号の送受信を行なおうとした場合、各光回路の光信号出射面は一定の高さに揃えられているのが通常である。従って、基板 1 に実装されている複数の受光素子 7 a の高さが一定であるということは、各受光素子 7 a と、それが光結合する複数の光回路と

の間隔を、全チャンネルにおいて一定に保つことができ、全受光素子 7 a と全光回路との間で高効率の光結合が実現されることを意味する。さらに、高効率の光結合が実現されることによって、各光回路からの出射光の大部分が各受光素子 7 a によって受光されるため、従来は受光することが困難、又は不可能であった微弱な光信号であっても受光可能となる。例えば、長距離伝送によって減衰してしまったような微弱な光信号であっても受光可能となる。また、受光素子 7 a によって比較的光強度の強い光信号の大部分が受光されるため、ノイズ耐性が強い伝送が実現可能となる。後者の効果は、短距離伝送の場合に特に顕著である。

【0055】

総じて、本例の製造方法によって製造された光素子一体型 L S I は、複数の発光素子及び受光素子の双方を備え、かつ、各発光素子及び各受光素子の高さが一定に揃っていることで、発光側および受光側の全チャンネルにおいて光回路との高効率な光結合が実現されるという効果が得られ、送受信両方の光通信を良好な状況で行うことができるという効果が得られる。

【0056】

また、本例の製造方法のように、複数の発光素子及び受光素子を一括して実装した場合、次のような効果も得られる。図 1 1 は、本例の製造方法によって製造された光入出力付基板 1 C の模式的平面図であるが、受光素子 7 a の実際の実装位置は、所定の実装位置（図中に点線 1 5 a で示す）に対して上方向にずれている。また、発光素子 2 a の実際の実装位置は、所定の実装位置（図中に点線 1 5 b で示す）に対して左方向にずれている。しかし、複数の受光素子 7 a 及び発光素子 2 a は、両者とも一括で基板 1 に実装されたものである。従って、所定の実装位置に対する実際の実装位置のずれの方向と距離は、同種の光素子において同一である。すなわち、図 1 1 では、全ての受光素子 7 a が所定の実装位置に対して上方向に同一距離だけずれている。また、全ての発光素子 2 a が所定の実装位置に対して左方向に同一距離だけずれている。この場合、受光素子 7 a に対応している複数のレンズ等（図示していない）の光部品全体を上方向にずらせば高効率に結合でき、発光素子 2 a に対応している光部品全体を左方向にずらせば高効率に結合できる。

【0057】

以上のように、複数の受光素子及び発光素子が一括で基板に実装される本例の製造方法によって製造された光入出力付基板では、同種の複数の光素子の実装位置と、設計上の実装位置との間の位置ずれは、同種の複数の光素子において、同方向、かつ、同距離である。この結果、光素子が光結合すべき光回路の位置を光素子の位置ずれと同じ方向に同じ距離だけずらすことによって、同種の複数の光素子と光回路とを高効率で光結合させることができるという効果が生じる。但し、この効果は、同種の複数の光素子（図 1 1 の場合であれば、発光素子 2 a と光回路との光結合、又は受光素子 7 a と光回路との光結合のどちらか一方）に限定される。もちろん、異種の光素子のずれ方向とずれ量が同一であれば、両者について、光回路を高効率で結合させることができ、さらに良好な光通信を提供できる効果がある。

【0058】

さらに、最初の工程で光素子を実装するために用いる半田の融点を高くしておき、その次以降の工程で光素子を実装するために用いる半田の融点を順々に低くしていくことにより、前工程の半田付けに用いた半田が溶けない温度によって次工程の半田付けを実行することができる。その結果、全ての工程通じて、光素子を一旦半田で固定した後で、その半田が再び溶けることはなくなるため、光素子の位置がずれずに、当初の実装位置が保持されるという効果が得られる。具体的には、複数の発光素子を最初に実装し、次に複数の受光素子を実装する工程をとる場合には、発光素子の実装に用いる半田の融点を、受光素子の実装に用いる半田の融点よりも高くしておくことにより、発光素子を実装した後、受光素子を実装する際に、発光素子の実装に用いた半田が溶けることがない。よって、発光素子の位置はずれない。当然、受光素子の実装に用いる半田は溶けるため、受光素子を所定の実装位置に固定できる。このように、異なる融点を持つ半田を使い分けることによって

、発光素子及び受光素子をそれぞれ所定位置に固定できるといった効果が得られる。

【0059】

また、図5(d)に示すように、基板1と発光素子2a及び受光素子7aとの間に、アンダーフィル樹脂10を充填して、両者の接続強度を高めることもできる。アンダーフィル樹脂10の充填工程は、上記製造工程中の好適な段階に追加することができる。

【0060】

(実施形態4)

図12に本発明の光入出力付基板の他例を示す。図12(a)に示す光入出力付基板1Cでは、隣接する受光素子7aの一部が互いに繋がっている。受光素子アレイ7を構成する各受光素子7aの電極パターンが一部で2以上のチャンネル間に跨っており、チャンネル間をまたぐ電極パターンを分断したくない場合には、図12(a)に示すような構造とすることが望ましい。尚、図12(a)には、受光素子7a同士が繋がっている部分と分離されている部分の両者が存在する例を図示したが、発光素子に関しても同様である。また、図12(b)に示す光入出力付基板1Cでは、隣接する発光素子2a及び受光素子7aの間に隙間が設けられ、光素子が各チャンネルごとに独立している。熱膨張の影響によって光素子に作用する応力をなるべく少なくしたい場合には、図12(b)に示すような構造とすることが望ましい。図12(b)に示すように、隣接する光素子間に隙間を設けて、隣接する光素子同士を分離しやすくするための方法の一例として、隣接する光素子の間に、図12(c)又は図12(d)に示すような切り込み12を入れておくことが考えられる。図12(c)及び図12(d)は、光素子の断面を模式的に示しており、図12(c)では光素子の片方の面に、図12(d)では光素子の両側の面に切り込み12が入れられている。

【0061】

以上述べたように、基板に実装されている光素子が複数個繋がった構造を採用することによって、隣接する光素子間で電極配線を共通化でき、配線レイアウトの自由度が増加し、さらには、半田を電極のどこに配置して実装するかについての自由度も増加するといった効果が得られる。また逆に、光素子を単チャンネルごとに分離した構造を採用することによって、構成単位的光素子の大きさを小さくすることができ、基板と光素子の熱膨張係数差に起因して光素子に加えられる応力を小さくできる効果が得られる。

【0062】

(実施形態5)

図13に、本発明の光入出力付基板の他例を示す。図13(a)に示す光入出力付基板1Cでは、複数の受光素子7aの高さが基板1に対して一定であり、又、複数の発光素子2aの高さも基板1に対して一定である。しかし、発光素子2aと受光素子7bの高さは異なっている。図13(a)に示すような光入出力付基板1Cは、発光素子2aを基板1に実装した後に、受光素子7aを基板1に実装することによって製造可能である。この際、受光素子7aの厚みを発光素子2aの厚みよりも厚くしておくことにより、発光素子2aと受光素子7aとの干渉を避けて両者を実装することができる。

【0063】

図13(b)に示す光入出力付基板1Cでは、複数の受光素子7a及び発光素子2aの高さが基板1に対して一定である。すなわち、全ての光素子の高さが同一とされている。図13(b)に示すような光入出力付基板1Cは、図13(a)のような構造の光入出力付基板1Cを製造してから、厚みの厚い光素子(図13(a)では受光素子7a)を厚みの薄い光素子(図13(a)では発光素子2a)に合わせてエッチングすることによって製造可能である。

【0064】

尚、図13(a)、(b)に示すように、実装されている光素子の高さが揃っていることによる利点については、これまでに繰り返し説明しているので、ここでの説明は省略する。

【0065】

(実施形態 6)

図 14 に、本発明の光入出力付基板の他例を示す。図 14 に示す光入出力付基板 1C では、基板 1 に複数の発光素子 2a と受光素子 7a が半田バンプ 3 によって実装されており、それら発光素子 2a 及び受光素子 7a の近傍にヒートシンク 13 が設けられている。ヒートシンク 13 の材料としては、アルミ、銅、シリコンなど様々な材料を用いることができる。尚、ヒートシンク 13 の材料が発光素子 2a 及び受光素子 7a に入出力する光の波長に対して光学的に透明である場合には問題はないが、透明ではない場合には、光路を確保するための窓 14 を形成する必要がある。

【0066】

受光素子や発光素子といった光素子は温度が高くなると、常温時に比べて性能が低下することが知られている。しかし、本例の光入出力付基板 1C によれば、発光素子 2a 及び受光素子 7a の近傍に設けられたヒートシンク 13 によって、発光素子 2a 及び受光素子 7a から発生する熱が放熱され、発光素子 2a 及び受光素子 7a を常温に近い温度で駆動することができる。この結果、発光素子 2a 及び受光素子 7a の性能が十分に発揮される。さらに、基板 1 の表面側にも同様のヒートシンクを設けることによって、放熱効果をより一層高めることができる。

【0067】

(実施形態 7)

図 15 に、本発明の光入出力付基板の他例を示す。図 15 (a) に示す光入出力付基板 1C では、基板 1 の各出力ポートに発光素子 2a が実装され、各入力ポートに受光素子 7a が実装されている。さらに、実装された発光素子 2a の全部又は一部にはレンズ 16 が集積化されている。レンズ 16 の収束作用によって、発光素子 2a から出射された光の発散が抑制され、又はコリメートされて、結合対象の光学部品に対して高効率で光結合しやすくなる。また、必要であれば、受光素子 7a にもレンズを集積化することができる。受光素子 7a は、その高速化に伴って受光部の小型化が進んでおり、高効率な光結合を実現するためには、レンズの集積化が有効である。発光素子 2a や受光素子 7a にレンズを集積化させる方法としては、図 15 (b) に示すように、受光素子 7a が形成されている素子基板 8 を凸形状にエッチングする方法や、ポリマーを発光素子 2a や受光素子 7a に塗布後、硬化させてポリマーの表面張力を利用してレンズ形状にする方法等がある。

【0068】

以上のように、光素子にレンズを設けることによって、光素子から出射された光や光回路から出射された光の発散を抑制することができる。また、レンズなどの光学系の特性によっては平行光にすることもできる。その結果、光素子と光回路間の距離がある程度離れていても高効率な光結合が実現される。あるいは、受光素子の受光部の面積が小さい場合や、光回路の光伝播部（通常コアと呼ばれる）の大きさが小さい場合も、高効率な光結合が実現され、良好な光通信を提供できるという効果が得られる。

【0069】

図 15 (c) に、本発明の光素子一体型 LSI の他例を示す。図 15 (c) に示す光素子一体型 LSI 44 は、図 15 (a) に示す光入出力付基板 1C に半田バンプ 3 を介して LSI 4 を実装したものである。実装された光素子一体型 LSI 44 の電気信号入力ポートは基板 1 の出力ポートに電気接続され、光素子一体型 LSI 44 の電気信号出力ポートは基板 1 の入力ポートに電気接続されている。

【0070】

(実施形態 8)

図 16 に、本発明の光入出力付基板の他例を示す。図 16 (a)、(b) に示す光入出力付基板 1C では、基板 1 に複数の発光素子 2a と受光素子 7a が実装されている。ここでは基板 1 に出力ポートと、入力ポートが 8 つずつ設けられている場合を例にとって説明するが、入出力ポートの数が異なるときは、発光素子及び受光素子の数を適宜変更することができる。本例では、発光素子 2a 及び受光素子 7a が機能部を残して薄膜化されている。ここで、受光素子 7a の機能部とは前記した通りである。また、発光素子 2a の機能

部とは、入力された電気信号を光信号に変換して、外部に出力する機能を果たすために必要な部分を意味する。

【0071】

上記のように、発光素子 2 a 及び受光素子 7 a を薄膜化することにより、これら光素子と光学的に結合する対象との間の距離を短くすることが可能となり、結合効率、位置ずれの許容量を向上させることができる。また、薄膜化により光素子の基板部分がなくなり、光が基板を透過する段階で生じるロスをなくすることができる。

【0072】

図 16 (c) に、本発明の光素子一体型 L S I の他例を示す。図 16 (c) に示す光素子一体型 L S I 4 4 は、図 16 (a)、(b) に示す光入出力付基板 1 C に半田バンプ 3 を介して L S I 4 を実装したものである。実装された L S I 4 の電気信号入力ポートは基板 1 の出力ポートに電気接続され、L S I 4 の電気信号出力ポートは基板 1 の入力ポートに電気接続されている。

【0073】

図 17～図 19 に、図 16 (a)、(b) に示す光入出力付基板 1 C の製造方法を示す。まず、図 17 (a) に示すように、不図示の素子基板上に発光素子 2 a が 4×4 で配置された発光素子アレイ 2 を用意する。この発光素子アレイ 2 のうち、必要な受光素子 2 a のパッドにのみ半田バンプ 3 を形成し、形成した半田バンプ 3 を用いて発光素子アレイ 2 と基板 1 とを電気接続する。ここで必要な発光素子 2 a とは、基板 1 の出力ポートに電気接続することを意図する受光素子 2 a を意味する。

【0074】

次に、図 17 (b) に示すように、発光素子アレイ 2 のうち、必要な受光素子 2 のみを覆うように保護膜 6 を形成する。本例では、レジストの露光・現像等によりパターンニングした保護膜 6 を用いた。

【0075】

次に、図 17 (c) に示すように、不要な発光素子 2 a をエッチングにより除去する。その後、図 17 (d) に示すように、保護膜 6 を除去して、必要な位置にのみ発光素子 2 a を実装する。

【0076】

次に、図 18 (e) に示すように、発光素子 2 a が実装されていない基板 1 の表面を保護膜 6 で被覆した後、発光素子 2 a の素子基板をエッチングすることによって、発光素子 2 a を薄膜化する。その後、図 18 (f) に示すように、保護膜 6 を除去する。

【0077】

続いて、図 18 (g) に示すように、素子基板 8 上に 4×4 で受光素子 7 a が配置された受光素子アレイ 7 を用意する。次に、図 18 (h) に示すように、必要な受光素子 7 a のみを覆うように保護膜 6 を形成する。本例では、レジストの露光・現像等によりパターンニングした保護膜 6 を用いた。ここで、必要な受光素子 7 a とは、後に基板 1 に電気接続することを意図する受光素子 7 a である。

【0078】

次に、図 18 (i) に示すように、不要な受光素子 7 a をエッチングにより除去する。但し、ここでのエッチング工程では、受光素子 7 a の表面をエッチングすると共に、素子基板 8 の表面を部分的にエッチングするが、素子基板 8 の全てをエッチングせず、一部を残すようにする。これは複数の受光素子 7 a 全体の支持部として素子基板 8 を利用するためである。その後、保護膜 6 を除去して、必要な位置のみに受光素子 7 a が残された受光素子アレイ 7 を得る。さらに、残されている複数の受光素子 7 a のパッドに半田バンプ 3 を形成する。

【0079】

次に、図 19 (j) に示すように、既に発光素子 2 a が実装されている基板 1 に、受光素子 7 a が電気接続される入力ポートに連通する開口 1 7 を設け、他の部分は保護膜 6 で被覆する。その後、図 19 (k) に示すように、受光素子アレイ 7 の各受光素子 7 a が対

応する開口 17 に嵌め込まれるように、受光素子アレイ 7 を基板 1 に載せ、複数の受光素子 7a を一括して搭載する。

【0080】

次に、図 19 (1) に示すように、受光素子アレイ 7 の素子基板 8 をエッチングしてから、基板 1 側に設けられている保護膜 6 を除去する。

【0081】

他の製造方法として、発光素子アレイ 2 を構成する複数の発光素子 2a のうち、不要な発光素子 2a を最初に除去してから基板 1 の出力ポートに実装し、受光素子 7a については上記と同様の方法で実装する方法を取ることでもある。

【0082】

以上述べた製造方法によって、薄膜化された光素子を備えた光入出力付基板 1C を製造することができる。また、製造された光入出力付基板 1C に LSI 4 を実装すれば、図 16 (c) に示す光素子一体型 LSI 44 が製造される。薄膜化された光素子を備えた光入出力付基板 1C によれば、光素子の機能部と、その機能部に光結合する光回路との間の距離を短くすることが出来るため、発光素子又は光回路から出射された光信号があまり広がらないうちに、光回路や受光素子に結合させることができ、光結合効率が高くなるという効果が得られる。

【0083】

(実施形態 9)

図 20 に、本発明の光入出力付基板の他例を示す。図 20 に示す光入出力付基板 1C では、基板 1 に 5 つの光素子が実装されている。このうち 3 つの光素子 18a は基板 1 の左に寄った部分に纏まっており、これらを群 1 と呼ぶ。一方、残りの 2 つの光素子 18b は基板 1 のほぼ中央に纏まっており、これらを群 2 と呼ぶ。

【0084】

ここで、群 1 に属する 3 つの光素子 18a は高さが一定であり、群 2 に属する 2 つの光素子 18b も高さは一定である。しかし、光素子 18a は光素子 18b よりも高さが低い。従って、群 1 に属する光素子 18a と光結合する光ファイバ等（不図示）の位置が、群 2 に属する光素子 18b と光結合する光ファイバ等（不図示）の位置よりも高い場合、群 1 に属する光素子 18a の高さを群 2 に属する光素子 18b より低くしておくことによって、群 1 に属する光素子 18a と光ファイバとの距離と、群 2 に属する光素子 18b と光ファイバとの距離とをほぼ同じ距離にして、平均的に高効率な光結合を実現することができる。

【0085】

以上のように、各群に属する光素子ごとに、光結合すべき光回路群の高さが異なる場合には、対応する光回路群の高さに合わせて各群に属する光素子の高さを設定しておくことによって、各群に属する光素子と光回路との間でそれぞれ高効率な光結合が実現され、良好な光通信を提供できる効果が得られる。

【0086】

(実施形態 10)

図 21 及び図 22 に、本発明の光入出力付基板の他例を示す。このうち、図 21 (a) (b) に示す光入出力付基板 1C は、複数の光素子 18 を個別に実装する従来の製造方法によって製造されたものであり、図 22 (a) (b) に示す光入出力付基板 1C は、複数の光素子 18 を一括で実装する本発明の製造方法によって製造されたものである。図 21 (a) (b) に示す光入出力付基板 1C では、基板 1 の高さを基準とした場合、隣接する光素子 18 間の高さのずれ 19 は $2\mu\text{m}$ 程度であり、装置等の条件によっては高さのずれがそれ以上になる場合も多くある。一方、図 22 (a) (b) に示す光入出力付基板 1C では、隣接する光素子 18 間の高さのずれ 19 は $0.5\mu\text{m}$ 程度に抑えられている。上記 $2\mu\text{m}$ のずれに対して、大幅に高さのずれが低減されていることがわかる。その理由として、本発明の製造方法では、複数の光素子からなる光素子アレイを搭載した後には不必要な光素子を除去することによって、複数の必要な光素子を一括実装するか、不要な光素子が

予め除去された光素子アレイを搭載することによって、複数の必要な光素子を一括実装するからである。更なる効果として、複数の光素子を一括して実装すると、光素子を1つずつ実装する場合に比べて、実装に要する時間を短縮することができ、コストを低減することができる。また、その効果は実装される光素子の数が増えるほど大きくなる。

【0087】

(実施形態11)

図23に、本発明の光入出力付基板の製造方法の他例を示す。図23(a)に示すように、本例で使用されるLSI4は、4チャンネルの電気信号入力ポート20と、4チャンネルの電気信号出力ポート21とを有し、それら8チャンネルの入出力ポートが様々な配置にランダムに配置されている。そこで、本例の製造方法では、図23(b)に示すように、LSI4を内層に不図示の電気配線が形成された基板1に半田を用いて実装し、LSI4の電気信号入力ポート20と、電気信号出力ポート21を同図に示すように再配置する。具体的には、電気信号入力ポート20をLSI4の右半分に、電気信号出力ポート21をLSI4の左半分にそれぞれ纏めて配置し直す。次に、図23(c)に示すように、再配置された電気信号入力ポート20に、受光素子7aが2×4で形成された受光素子アレイ7を実装する。また、再配置された電気信号出力ポート21に、発光素子2aが2×4で形成された発光素子アレイ2を実装する。以上によって、LSI4の各入出力ポートに受発光素子がそれぞれ実装され、外部との間で光信号のやり取りが可能となる。また、複数の発光素子2a及び受光素子7aはそれぞれ一括で実装され、高さが揃っている。

【0088】

以上のように、バラバラに配置されていたLSIの電気信号入出力ポートを基板の電気配線を用いて再配置することによって、電気信号入出力ポートが一箇所に纏められ、光素子アレイを搭載可能となる。この結果、複数の光素子に対応する複数のポートに一括して実装可能となり、製造工程が減り、低コスト化が実現される。また、光素子を個別に実装する場合と異なり、同種の光素子の高さを一定に揃えることができる。さらに、光素子と光結合する光回路も入力側と出力側とに分けることが可能になり、設計が容易となる。また、送信側と受信側とが分離されることによって、送受信間のクロストークが低減される効果も得られる。

【0089】

(実施形態12)

図24に、本発明の光素子一体型LSIの他例を示す。図24に示す光素子一体型LSI44は、光入出力付基板1CにLSI4が実装されているという基本構成は、これまで説明してきた光素子一体型LSIと共通である。異なるのは、基板1に、ドライバIC22とアンプ23とが実装されている点である。より具体的には、LSI4の電気信号出力ポートがドライバIC22に電気接続され、ドライバIC22が発光素子2aに電気接続されている。また、LSI4の電気信号入力ポートがアンプ23に電気接続され、アンプ23が受光素子7aに電気接続されている。

【0090】

光素子の種類によっては、ドライバICやアンプを用いた方が良好な性能を発揮するものもある。例えば、ドライバICを用いることによって、発光素子の発光量が大きくなる場合や、アンプを用いることによって、受光素子の出力信号(電気信号)がより大きく増幅される場合がある。従って、以上のような特性を有する光素子を用いる場合には、図24に示すような構造を採用することが望ましい。

【0091】

(実施形態13)

LSIの電気信号入出力ポートが互いに近接していると、入出力される信号間で電氣的な干渉が発生し、信号が乱れることがある。従って、LSIの入出力ポートを離して、クロストークの低減を図ることがある。そこで、本発明の光入出力付基板1Cでは、入出力ポートが離れているLSIに対応すべく、図25に示すように、発光素子2aと受光素子7aとを一定距離以上離して基板1に実装することもできる。

【0092】

(実施形態14)

図26に、本発明の光素子一体型LSIの他例を示す。図26(a)(b)に示す光素子一体型LSI44では、基板1の同一面上にLSI4、発光素子2a及び受光素子7aが実装されている。また、LSI4と発光素子2a及び受光素子7aとは、基板1に形成された電気配線5によって電氣的に接続されている。さらに、LSI4等が実装されている基板1の面上には、光導波路24も形成されており、発光素子2a及び受光素子7aは、光導波路24の端面に設けられた不図示のミラーを介して光導波路24と光結合している。尚、図26(a)(b)に示すLSI4の電気信号入出力ポートは、実施形態11で説明した手法によって再配置されている。

【0093】

以上のように、基板に実装された光素子が光結合する光導波路を同基板の同一面に形成することによって、光素子と光導波路との間で高効率な光結合が実現されるという効果が得られる。

【0094】

図27(a)(b)に示す光素子一体型LSI44では、基板1の一方の面にLSI4が実装され、他方の面に発光素子2a及び受光素子7aが実装され、光導波路24が形成されている。かかる構造によって、基板1の一方の面を主に電気配線を形成するための領域として利用し、他方の面を主に光配線を形成するための領域として利用できるので、高密度な実装を実現することができる。さらに、2つの発光素子2aの出力光の波長を異ならせれば、同一の光導波路24に2つの発光素子2aを光結合させることができる。また、受光素子7aが受光可能な光の波長を2つの受光素子間で異ならせることによって、2つの受光素子7aを同一の光導波路24に光結合させることもできる。これらにより、波長多重通信による大容量伝送が実現可能となる。尚、多重される波長数をさらに増やして、さらなる大容量伝送を実現することもできる。

【0095】

(実施形態15)

図28に、光導波路24、光導波路端面ミラー25及び電気配線が形成された光電気混載基板26に、本発明の光素子一体型LSI44を実装した場合の断面構造を示す。ここで、光電気混載基板26とは、光回路と電気回路の両方が設けられた基板を意味する。図28には、光回路として光導波路24を用いた例を示すが、その他の光回路として光ファイバを用いても良い。図28(a)は、本発明の光素子一体型LSI44を光電気混載基板26に実装した場合の断面構造を示し、図28(b)は従来方法によって製造された光素子一体型LSIを光電気混載基板26に実装した場合の断面構造を示す。

【0096】

図28(a)に示す光素子一体型LSI44と、図23(b)に示す光素子一体型LSIとは、3チャンネル分の発光素子2aと、1チャンネル分の受光素子7aとが実装された基板1にLSI4が実装されてなる点で共通している。しかし、図28(a)と図28(b)とを比較すれば明らかなように、複数の発光素子2a及び受光素子7aが一括して基板1に実装された本発明の光素子一体型LSI44では、発光素子2a及び受光素子7aの高さが一定に揃っている。一方、各チャンネルの発光素子2a及び受光素子7aが1つつずつ基板1に実装された図28(b)の光素子一体型LSIでは、各光素子間の高さにばらつきが生じている。

【0097】

光電気混載基板26は、その表面に光導波路24と光導波路端面ミラー25が形成され、更に電気配線(不図示)が形成されている。また、光素子一体型LSI44と光電気混載基板26は、半田バンプ3を用いて電気接続され、光素子一体型LSI44の受発光部と光導波路端面ミラー25は、X、Y、Z方向の位置を合わせることで、光結合している。ここで、X方向は光電気混載基板26の表面と平行な方向で、Y方向は紙面に垂直な方向で、Z方向は、光電気混載基板26の表面に垂直な方向を示し、図28(a)、(

b) には X、Z 方向の断面を示してある。光素子一体型 L S I 44 の比較的低速な信号と、電源、グランドとは半田バンプ 3 を介して電氣的に光電気混載基板 26 との間でやり取りされ、高速な信号は発光素子 2a 及び受光素子 7a と光導波路 24 とを用いてやり取りされる。

【0098】

ここで、光素子一体型 L S I 44 から出力される光信号を高効率、かつ全チャンネルについて同じ効率で光結合させるためには、発光素子 2a 及び受光素子 7a と、光導波路端面ミラー 25 との相対位置が、それぞれのチャンネルで揃っている必要がある。

【0099】

この点、複数の発光素子 2a 及び受光素子 7a の基板 1 に対する高さが一定である図 28 (a) の光素子一体型 L S I 44 を光電気混載基板 26 に対して平行に、かつ、発光素子 2a 及び受光素子 7a と光導波路端面ミラー 25 の光軸を合わせて近接搭載すれば、各発光素子 2a 及び受光素子 7a と光導波路端面ミラー 25 との距離 (Z 方向) は一定になる。従って、全チャンネルについて同一で高効率の光結合をとることができる。さらに、光素子一体型 L S I 44 から出力される複数の光信号を高強度で、均一に光導波路 24 に伝送することができ、全チャンネルにおいて、遠方まで光信号を伝送することができる。また、光信号の受信に関しても、均一に高効率で光導波路 24 と結合できることにより、遠方より来た微弱な光信号を受信することができる効果がある。

【0100】

一方、図 28 (b) の光素子一体型 L S I のように、複数の発光素子 2a 及び受光素子 7a の基板 1 に対する高さが一定でない場合は、光素子一体型 L S I を光電気混載基板 26 に対して平行に実装したとしても、各発光素子 2a 及び受光素子 7a と光導波路端面ミラー 25 との距離 (Z 方向) は一定とはならず、両者の光結合にばらつきが生じる。その結果、光信号を伝送できる距離にばらつきが生じ、光結合効率が悪いチャンネルでは伝送距離が短くなるという問題が生じる。また、光信号を受信する場合でも、同様に結合効率が悪いチャンネルでは、光伝送距離が短くなる問題が生じる。

【図面の簡単な説明】

【0101】

【図 1】 (a) は本発明の光入力付基板の一例を示す模式的平面図、(b) は模式的断面図、(c) は (a) (b) の光入力付基板を用いた光素子一体型 L S I を示す模式的断面図である。

【図 2】 (a) ~ (d) は、図 1 (a) (b) に示す光素子一体型 L S I の製造工程の一例を示す模式図である。

【図 3】 (a) は本発明の光出力付基板の一例を示す模式的平面図、(b) は模式的断面図、(c) は (a) (b) の光出力付基板を用いた光素子一体型 L S I を示す模式的断面図である。

【図 4】 (a) ~ (e) は、図 3 (a) (b) に示す光出力付基板の製造工程の一例を示す模式図である。

【図 5】 (a) は本発明の光入出力付基板の一例を示す模式的平面図、(b) は模式的断面図、(c) は (a) (b) に示す光入出力付基板を用いた光素子一体型 L S I を示す模式的断面図、(d) は光素子一体型 L S I の変形例を示す模式的断面図である。

【図 6】 (a) ~ (d) は、図 5 (a) (b) に示す光入出力付基板の製造工程の一例を示す模式図である。

【図 7】 (e) ~ (i) は、図 6 (d) に続く製造工程を示す模式図である。

【図 8】 (a) ~ (d) は、図 5 (a) (b) に示す光入出力付基板の他の製造方法の工程を示す模式図である。

【図 9】 (e) ~ (i) は、図 8 (d) に続く製造工程を示す模式図である。

【図 10】 (a) ~ (c) は、図 7 (g) ~ (i) に示す工程に代わる工程を示す模式図である。

【図 1 1】光素子の設計上の実装位置と実際の実装位置との関係の一例を示す模式的平面図である。

【図 1 2】(a) 本発明の光入出力付基板の他例を示す模式的平面図、(b) は本発明の光入出力付基板のさらに他例を示す模式的平面図、(c) 及び (d) は、光素子の異なる例を示す模式的拡大断面図である。

【図 1 3】(a) は本発明の光入出力付基板の他例を示す模式的断面図、(b) は本発明の光入出力付基板のさらに他例を示す模式的断面図である。

【図 1 4】本発明の光入出力付基板の他例を示す模式的断面図である。

【図 1 5】(a) は本発明の光入出力付基板の他例を示す模式的断面図、(b) は (a) の光入出力付基板の製造工程の一部を示す模式的断面図、(c) は (a) の光入出力付基板を用いた光素子一体型 L S I を示す模式的断面図である。

【図 1 6】(a) は本発明の光入出力付基板の他例を示す模式的平面図、(b) は模式的断面図、(c) は (a) (b) の光入出力付基板を用いた光素子一体型 L S I を示す模式的断面図である。

【図 1 7】(a) ~ (d) は、図 1 6 (a) (b) に示す光入出力付基板の製造工程の一例を示す模式図である。

【図 1 8】(e) ~ (i) は、図 1 7 (d) に続く製造工程を示す模式図である。

【図 1 9】(j) ~ (l) は、図 1 8 (i) に続く製造工程を示す模式図である。

【図 2 0】(a) は光入出力付基板の他例を示す模式的平面図、(b) は模式的断面図である。

【図 2 1】(a) は従来の製造方法によって製造された光入出力付基板の一例を示す模式的平面図、(b) は模式的断面図である。

【図 2 2】(a) は本発明の製造方法によって製造された光入出力付基板の一例を示す模式的平面図、(b) は模式的断面図である。

【図 2 3】(a) ~ (c) は、本発明の光素子一体型 L S I の製造工程の一例を示す模式図である。

【図 2 4】本発明の光素子一体型 L S I の他例を示す模式的断面図である。

【図 2 5】本発明の光入出力付基板の他例を示す模式的平面図である。

【図 2 6】(a) は本発明の光素子一体型 L S I の他例を示す模式的断面図、(b) は模式的断面図である。

【図 2 7】(a) は本発明の光素子一体型 L S I の他例を示す模式的断面図、(b) は模式的断面図である。

【図 2 8】(a) は本発明の光素子一体型 L S I を光電気混載基板に実装した状態の模式的断面図、(b) は従来の光素子一体型 L S I を光電気混載基板に実装した状態の模式的断面図である。

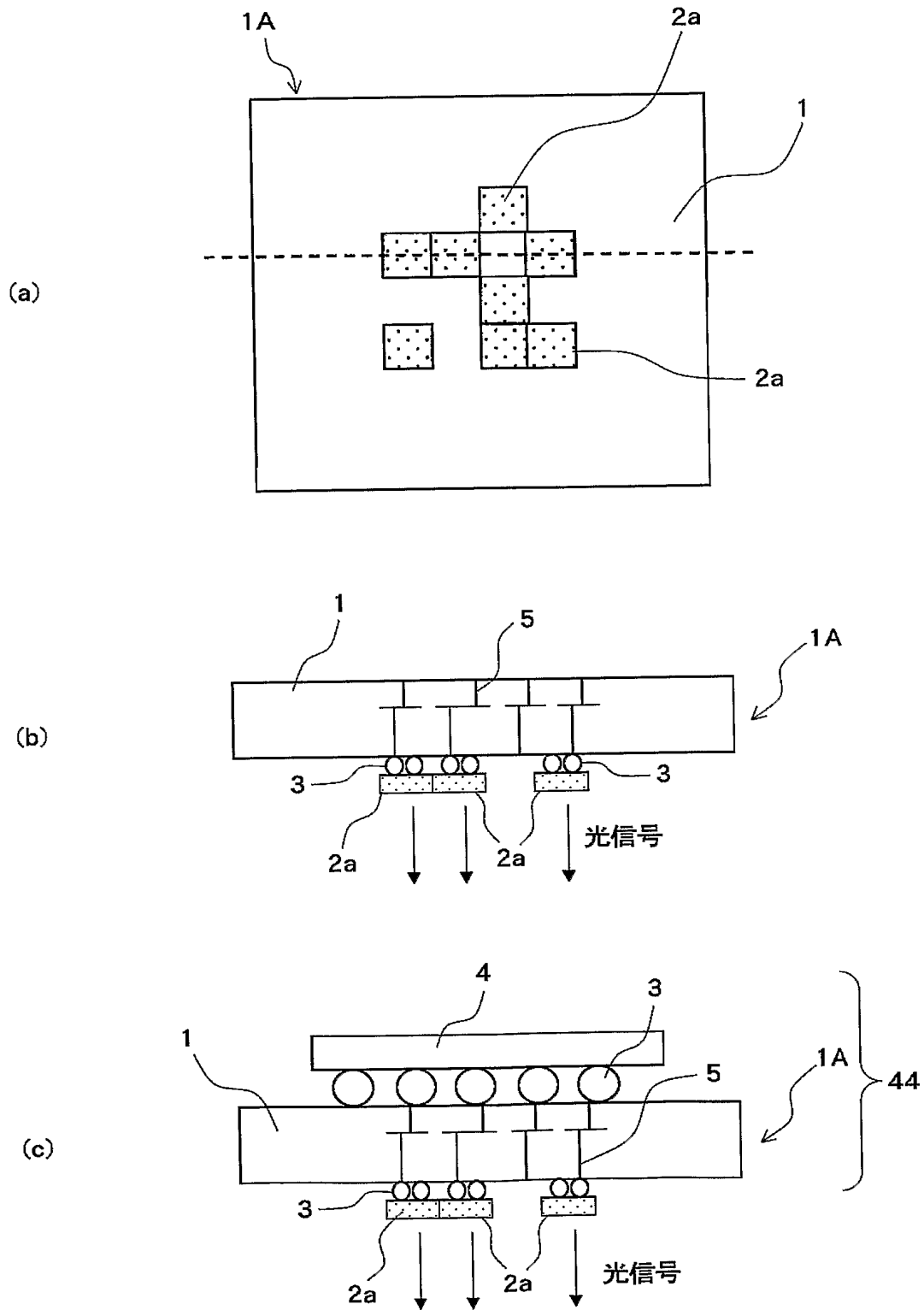
【符号の説明】

【0102】

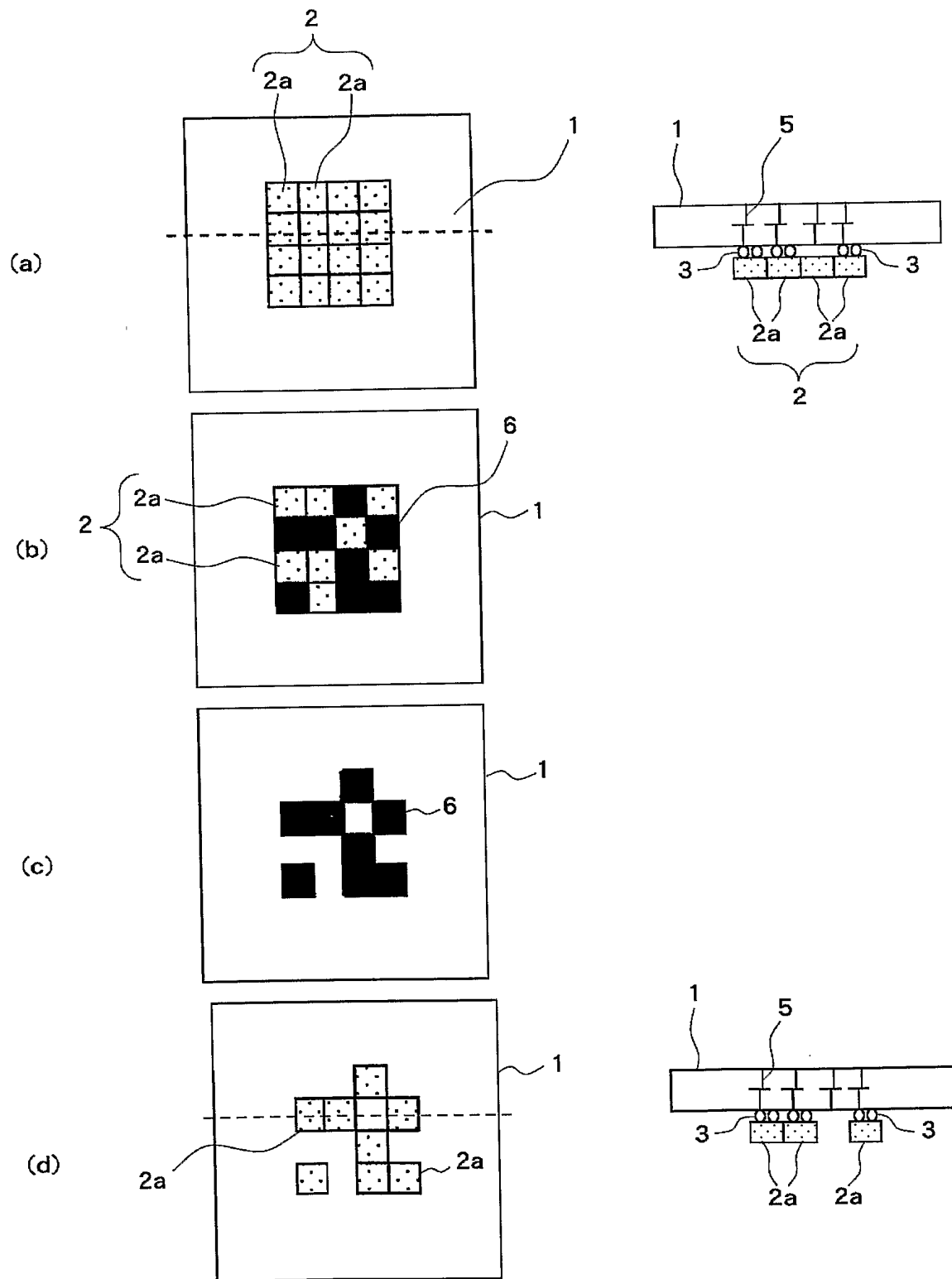
- 1 基板
 - 1 A 光入力付基板
 - 1 B 光出力付基板
 - 1 C 光入出力付基板
- 2 発光素子アレイ
 - 2 a 発光素子
- 3 半田バンプ
- 4 L S I
- 5 電気配線
- 6 保護膜
- 7 受光素子アレイ
 - 7 a 受光素子
- 9 機能部

- 1 0 アンダーフィル樹脂
- 1 2 切り込み
- 1 3 ヒートシンク
- 1 4 窓
- 1 6 レンズ
- 1 7 開口
- 1 8 a 群 1 に属する光素子
- 1 8 b 群 2 に属する光素子
- 1 9 高さのずれ
- 2 0 電気信号入力ポート
- 2 1 電気信号出力ポート
- 2 2 ドライバ I C
- 2 3 アンプ
- 2 4 光導波路
- 2 5 光導波路端面ミラー
- 2 6 光電気混載基板

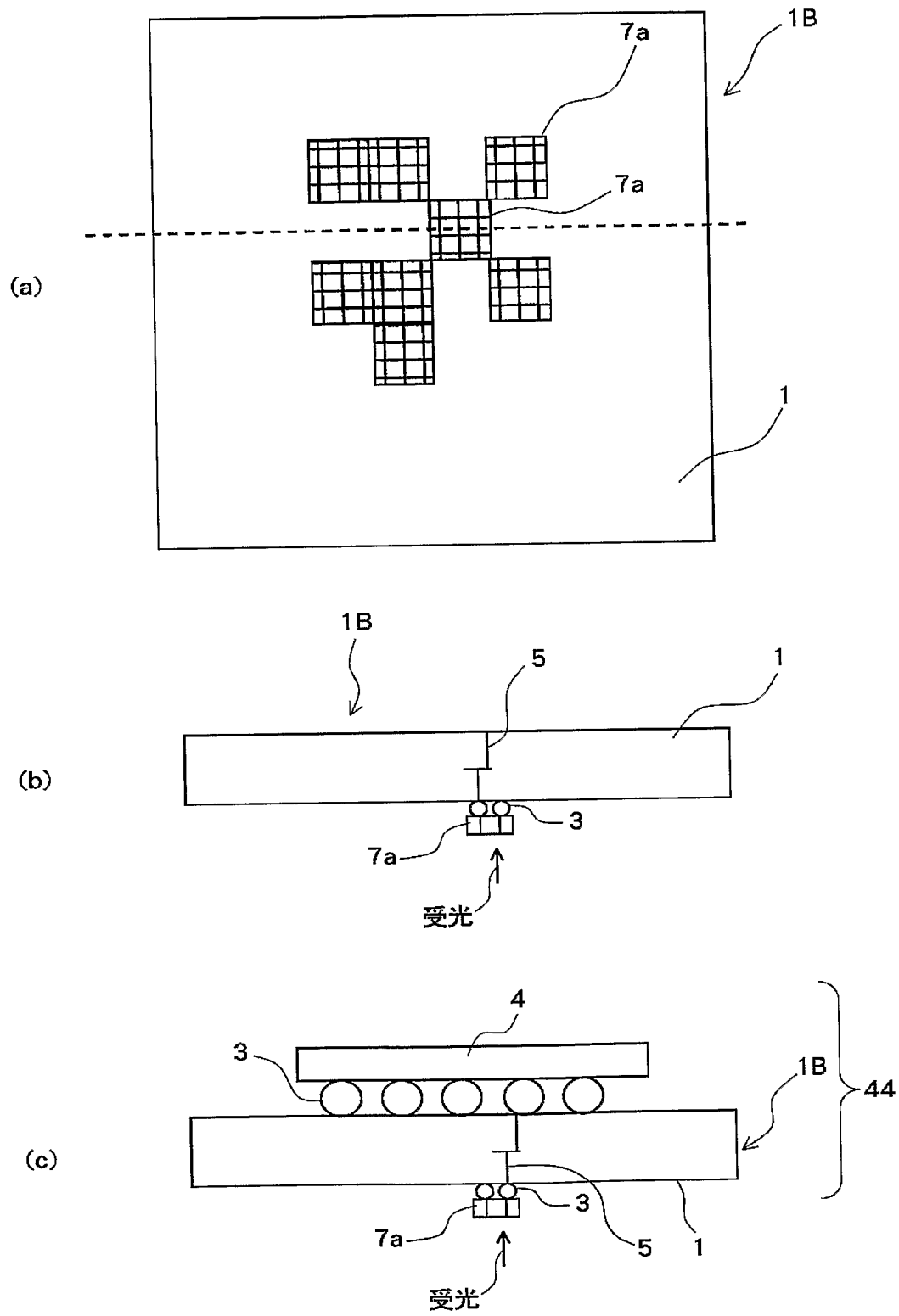
【書類名】 図面
【図 1】



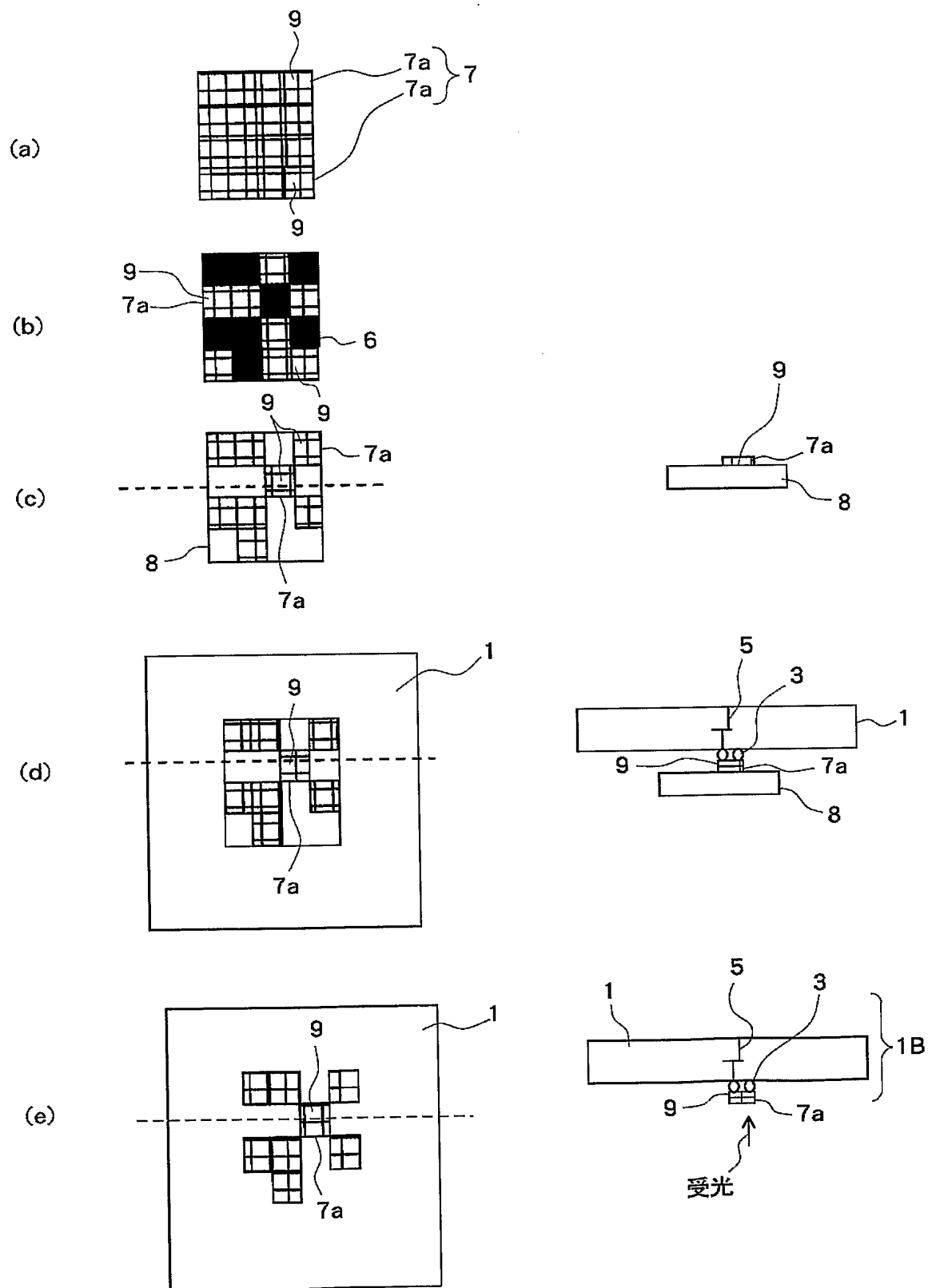
【図 2】



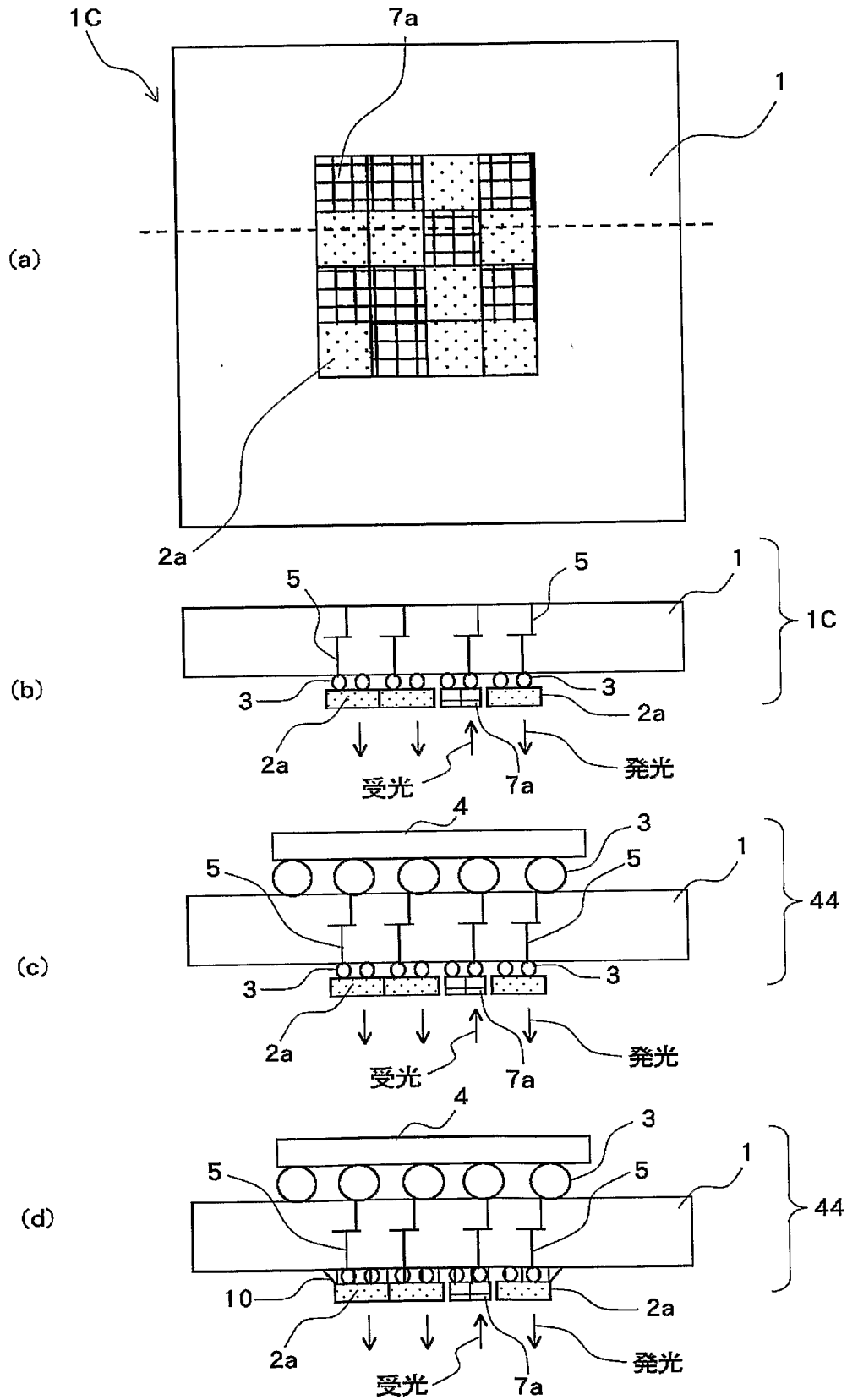
【図 3】



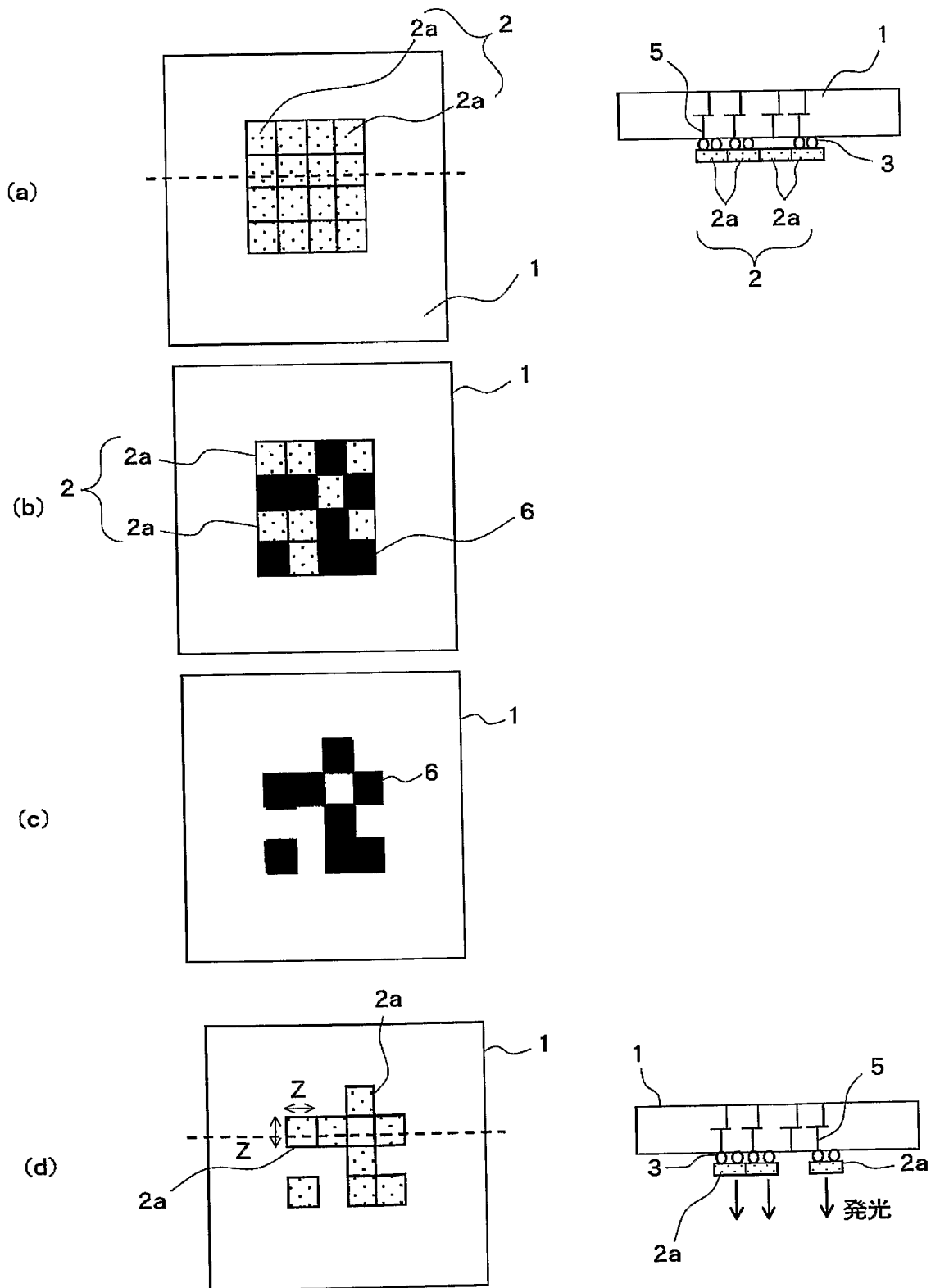
【図 4】



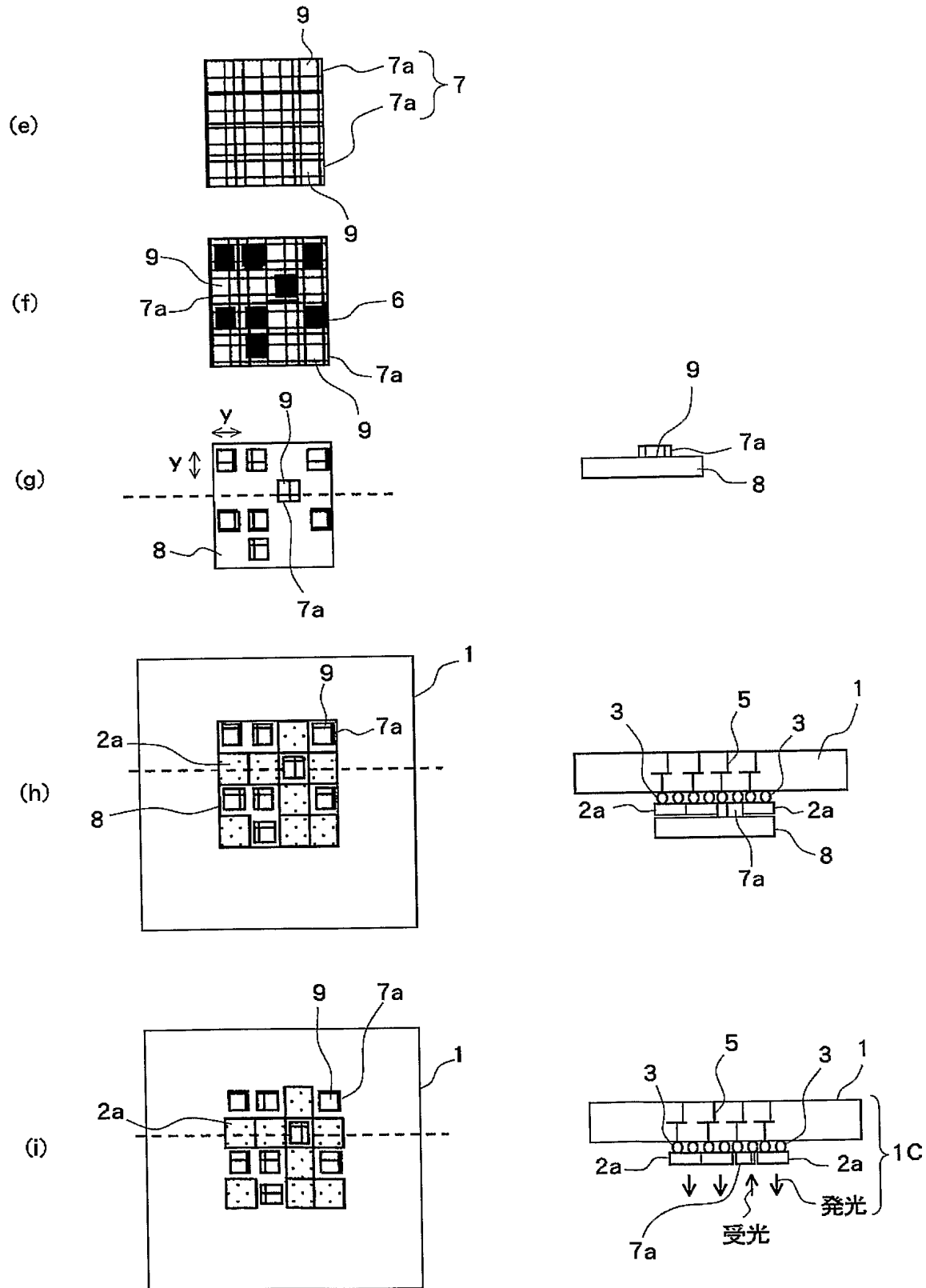
【図 5】



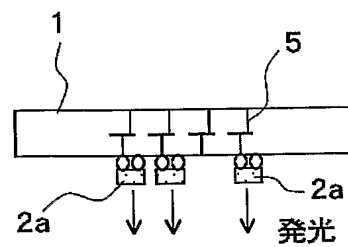
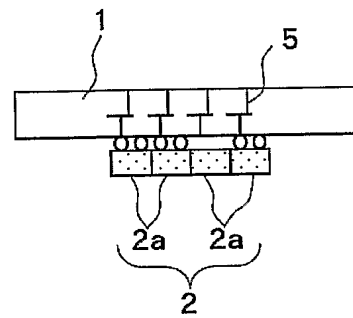
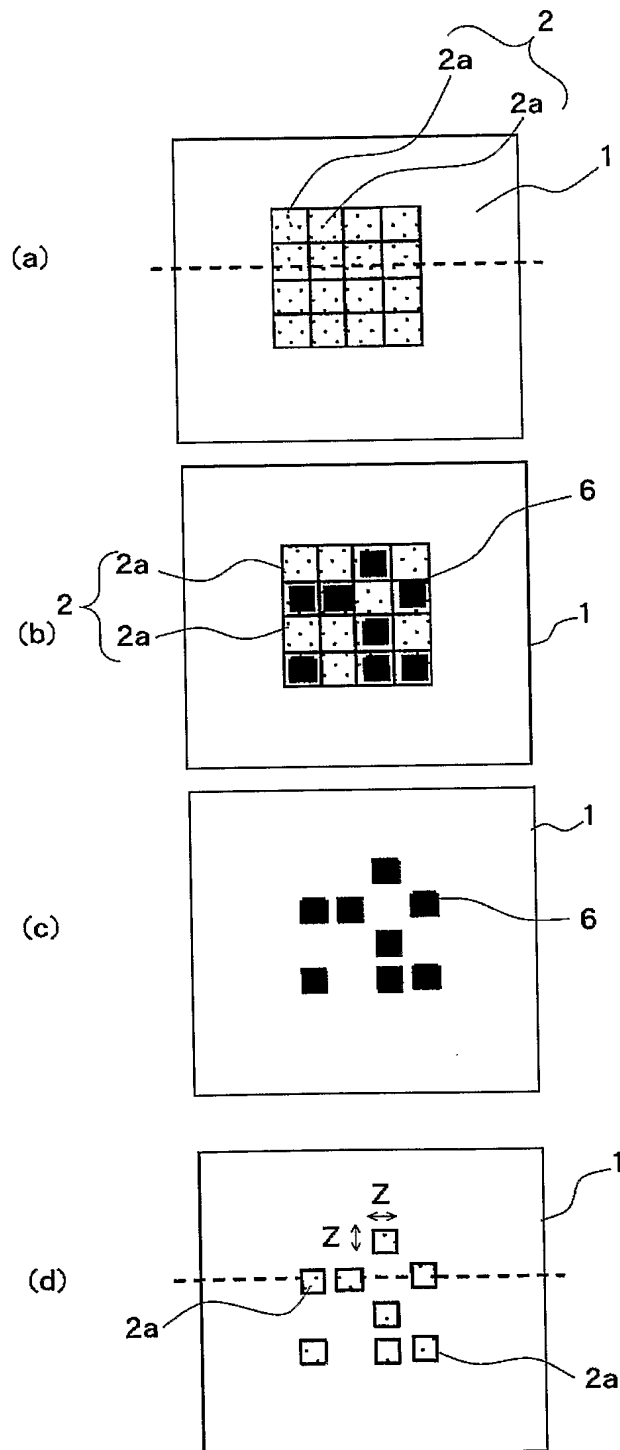
【図 6】



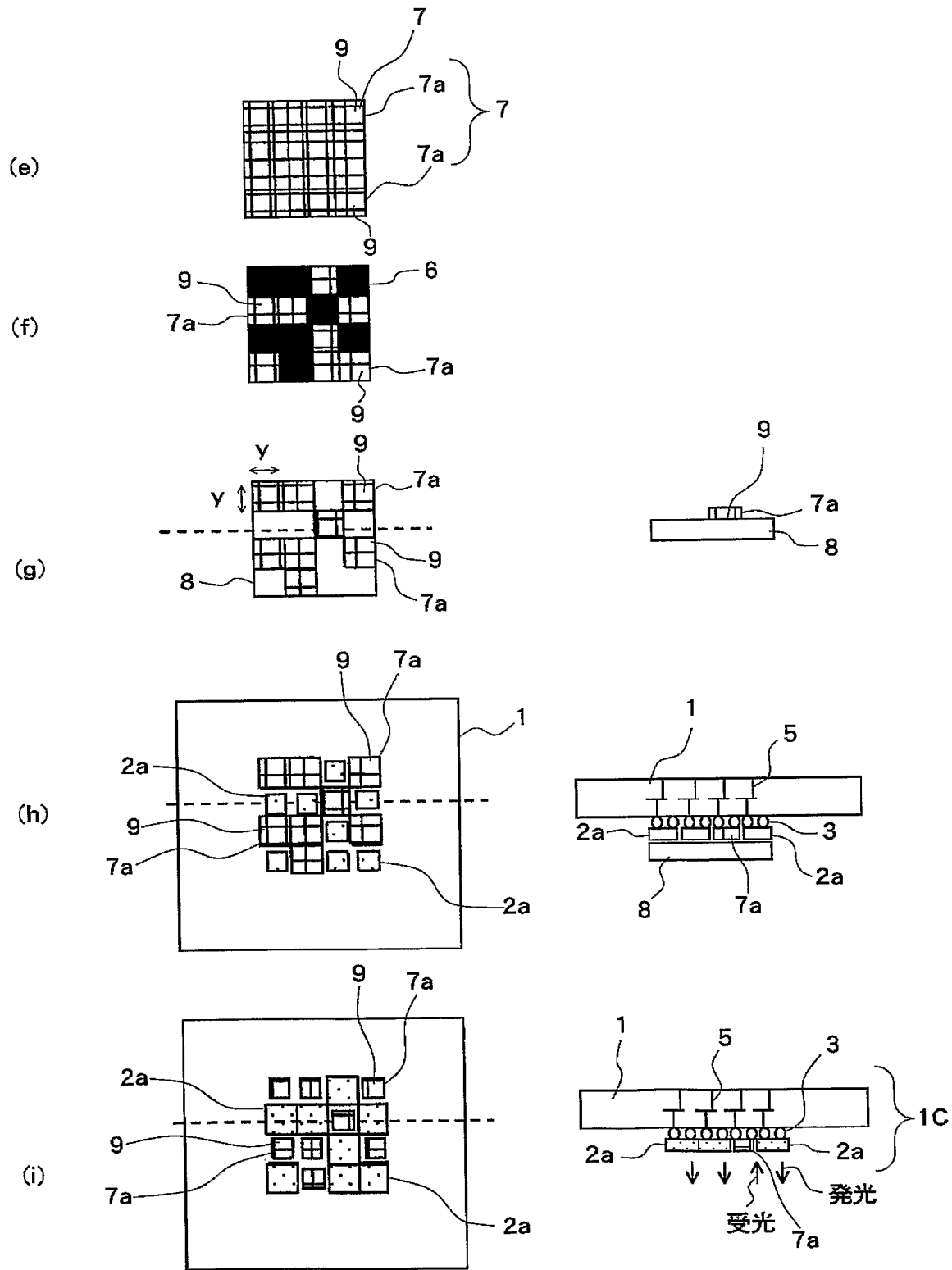
【図 7】



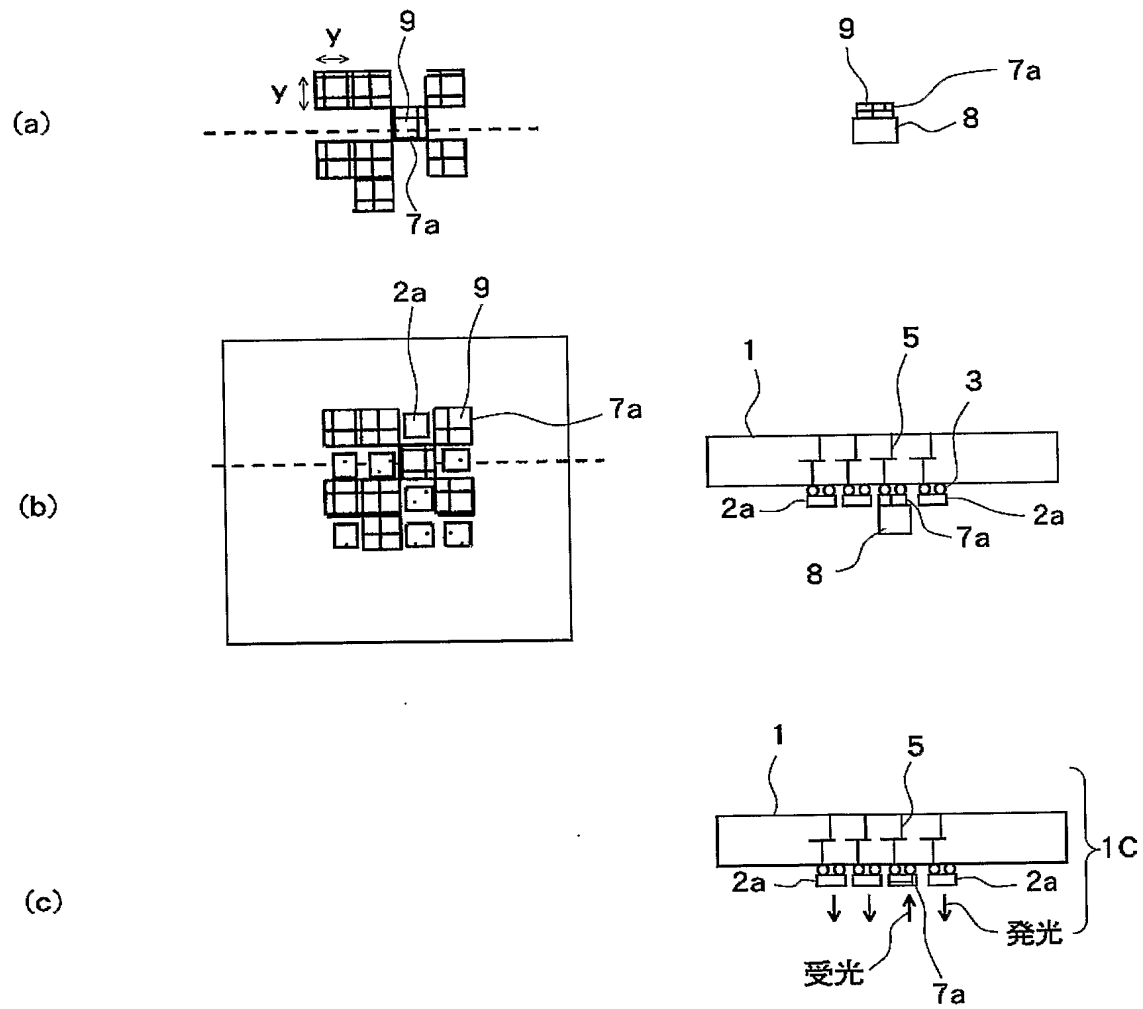
【図 8】



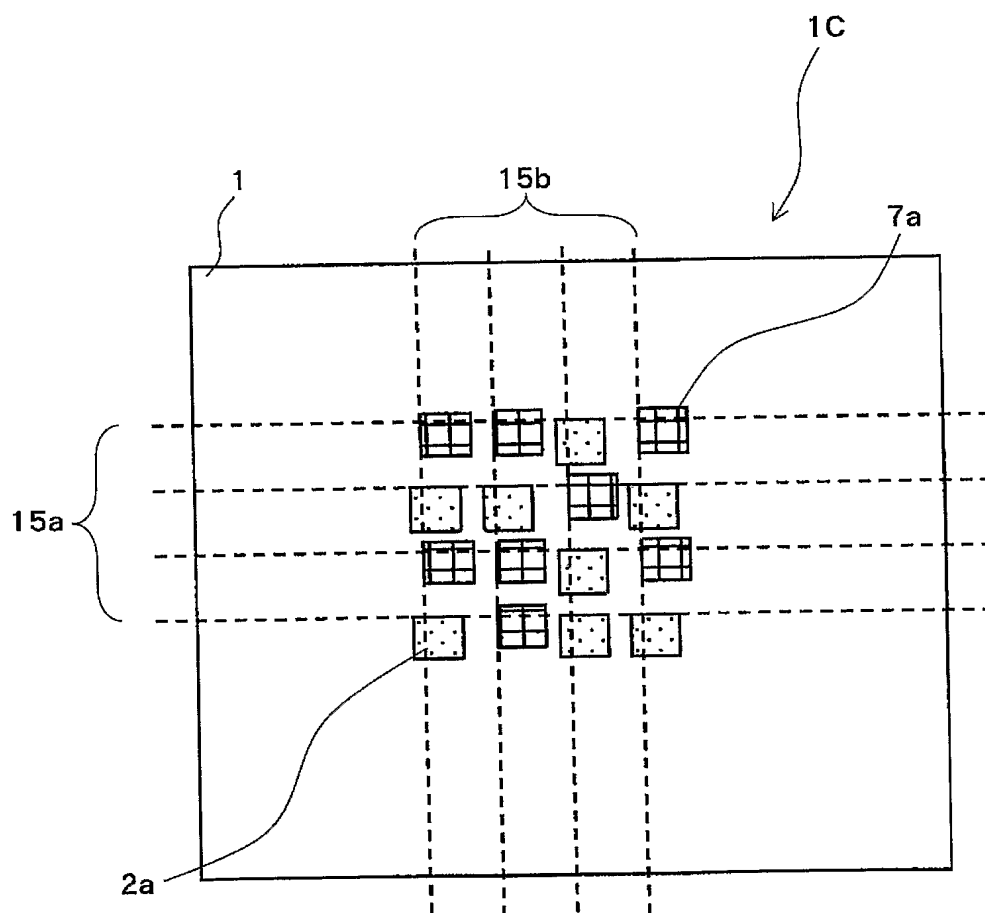
【図 9】



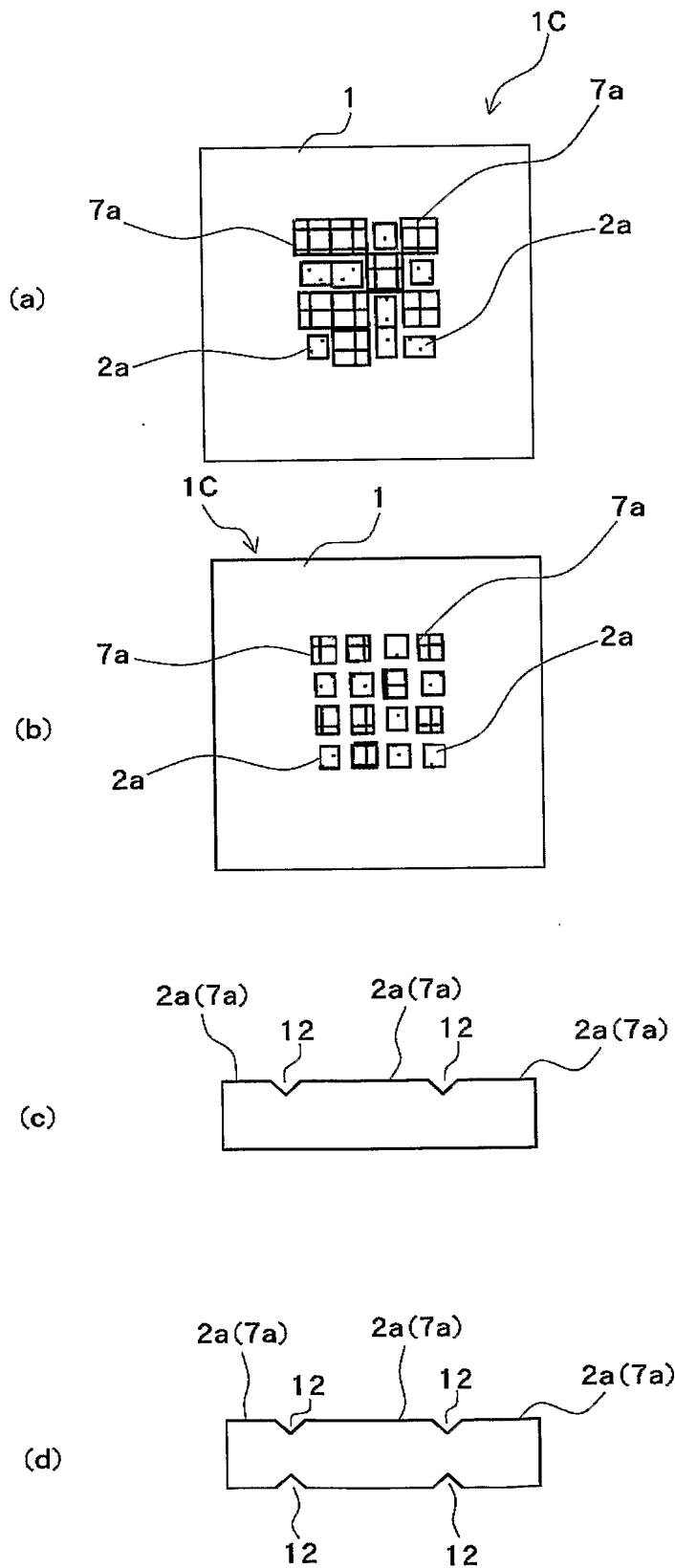
【図 10】



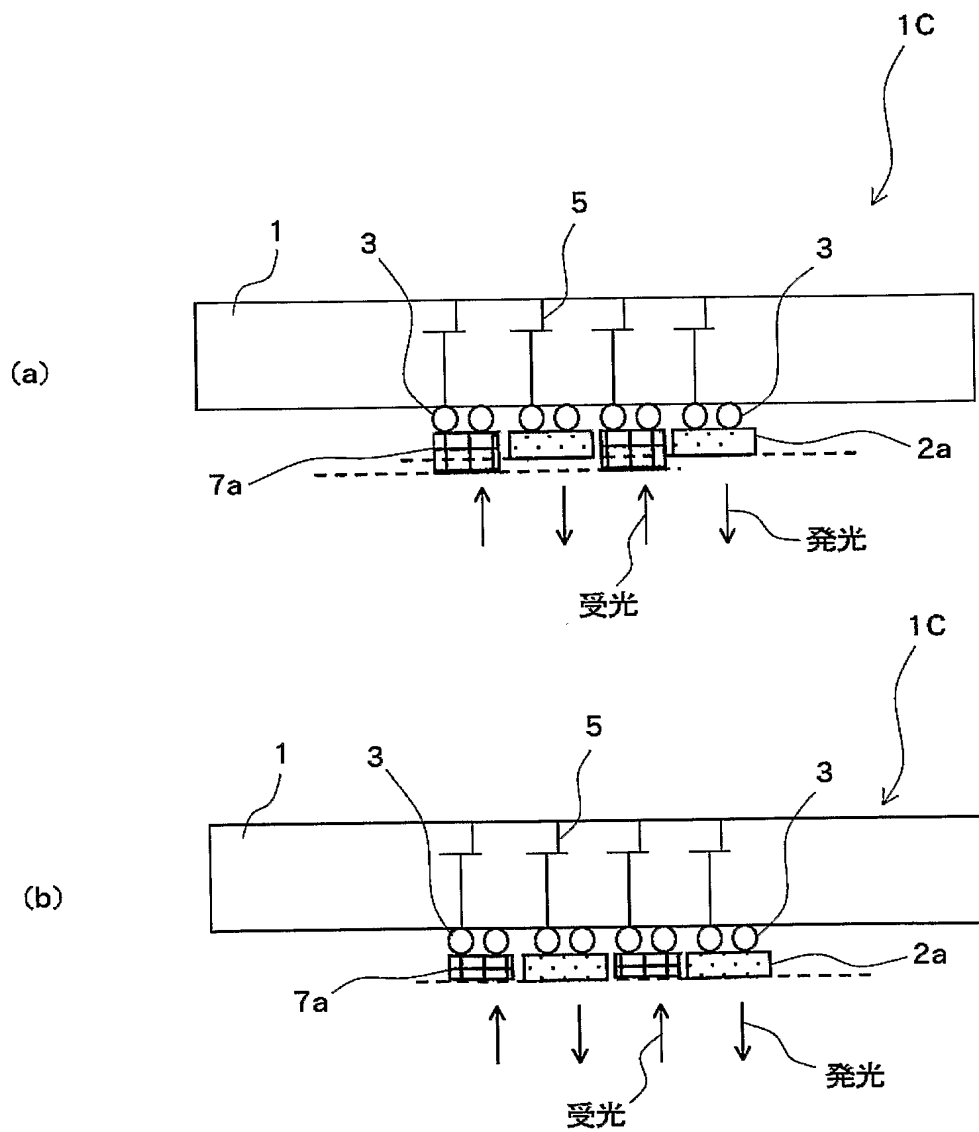
【図 11】



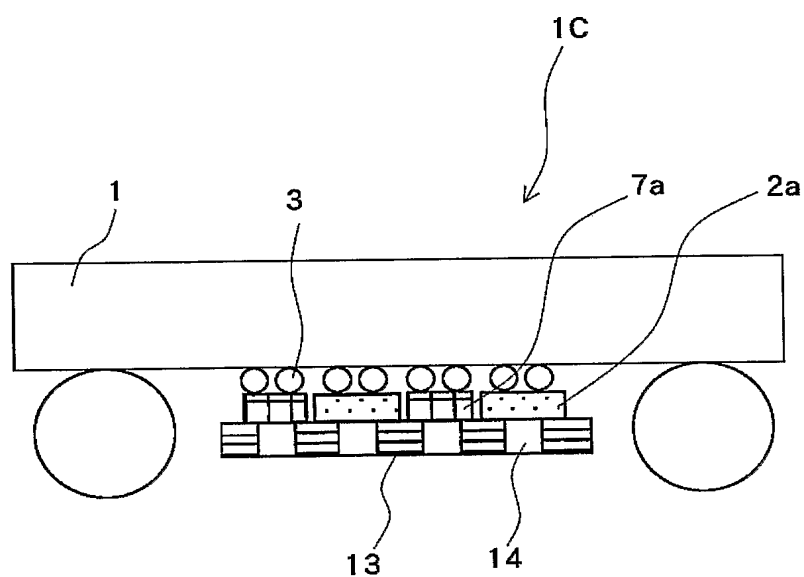
【図 12】



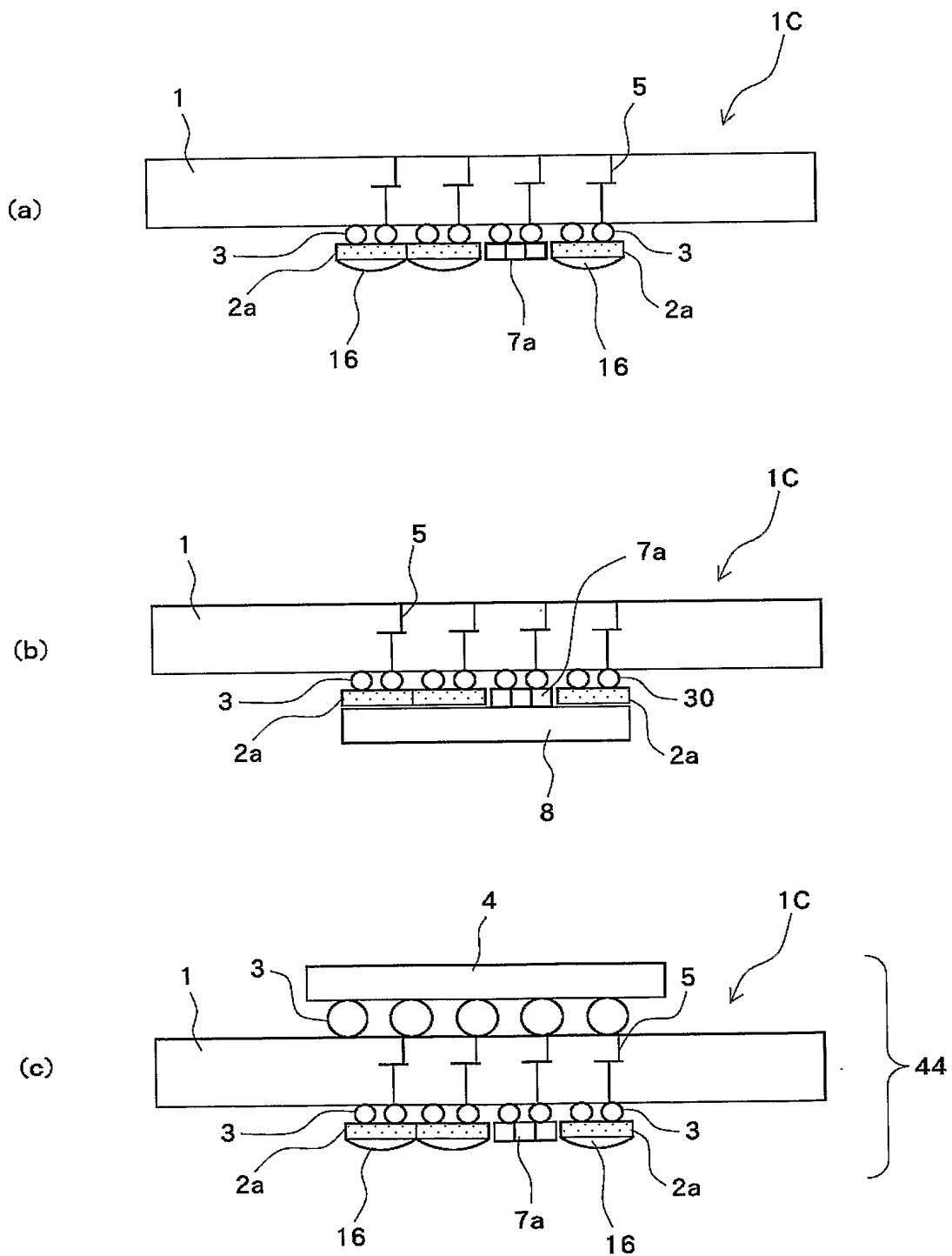
【図 13】



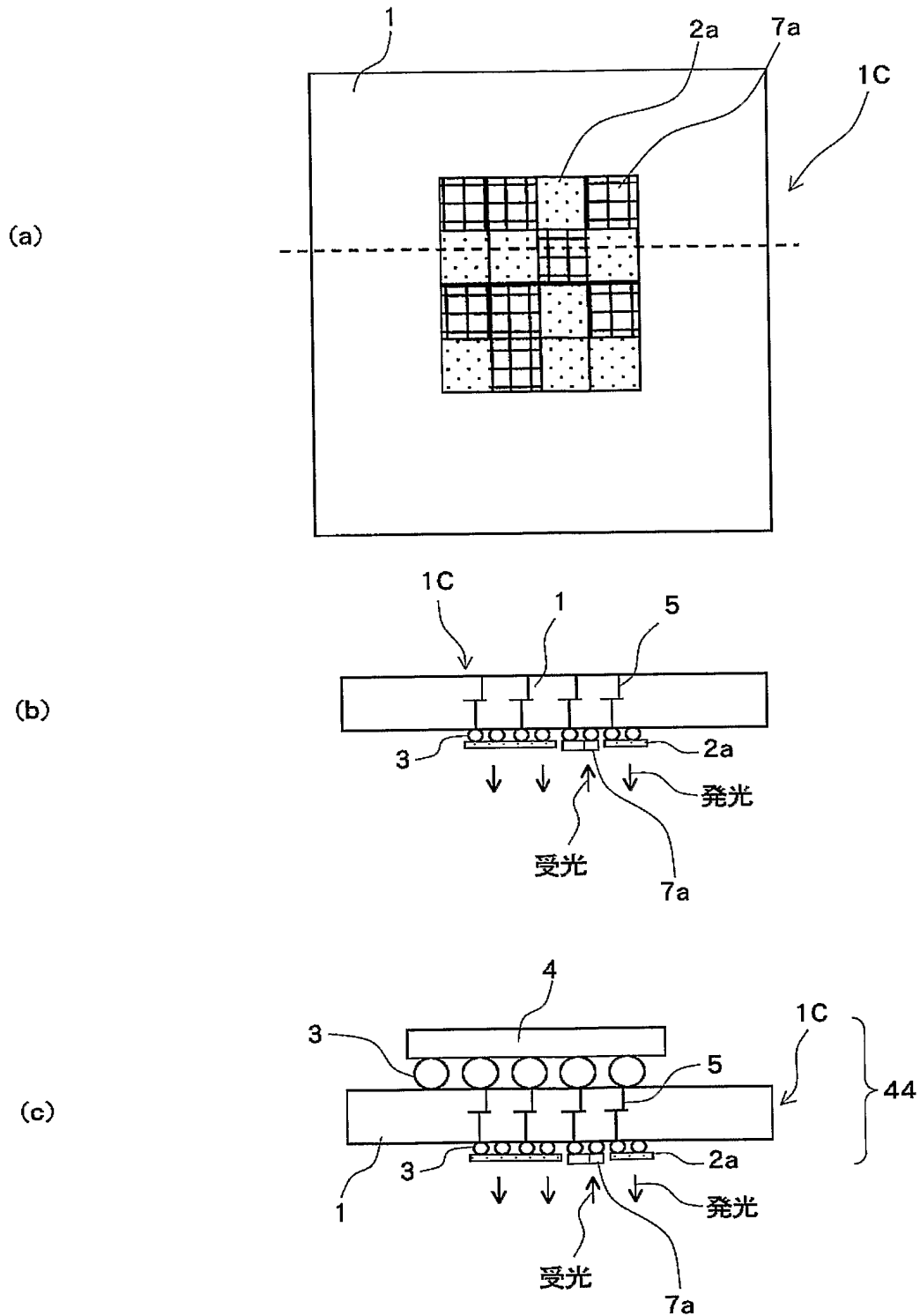
【図 14】



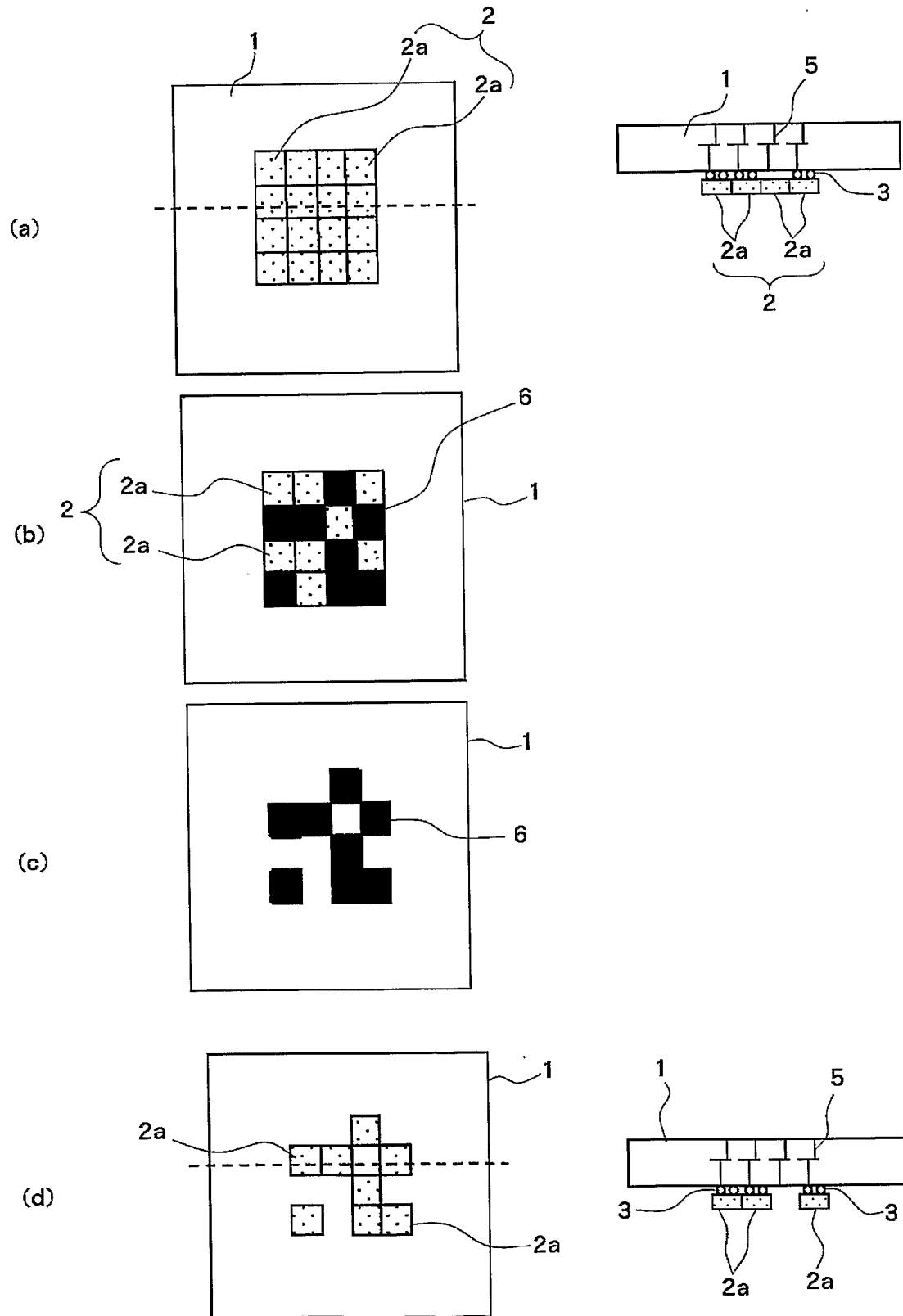
【図 15】



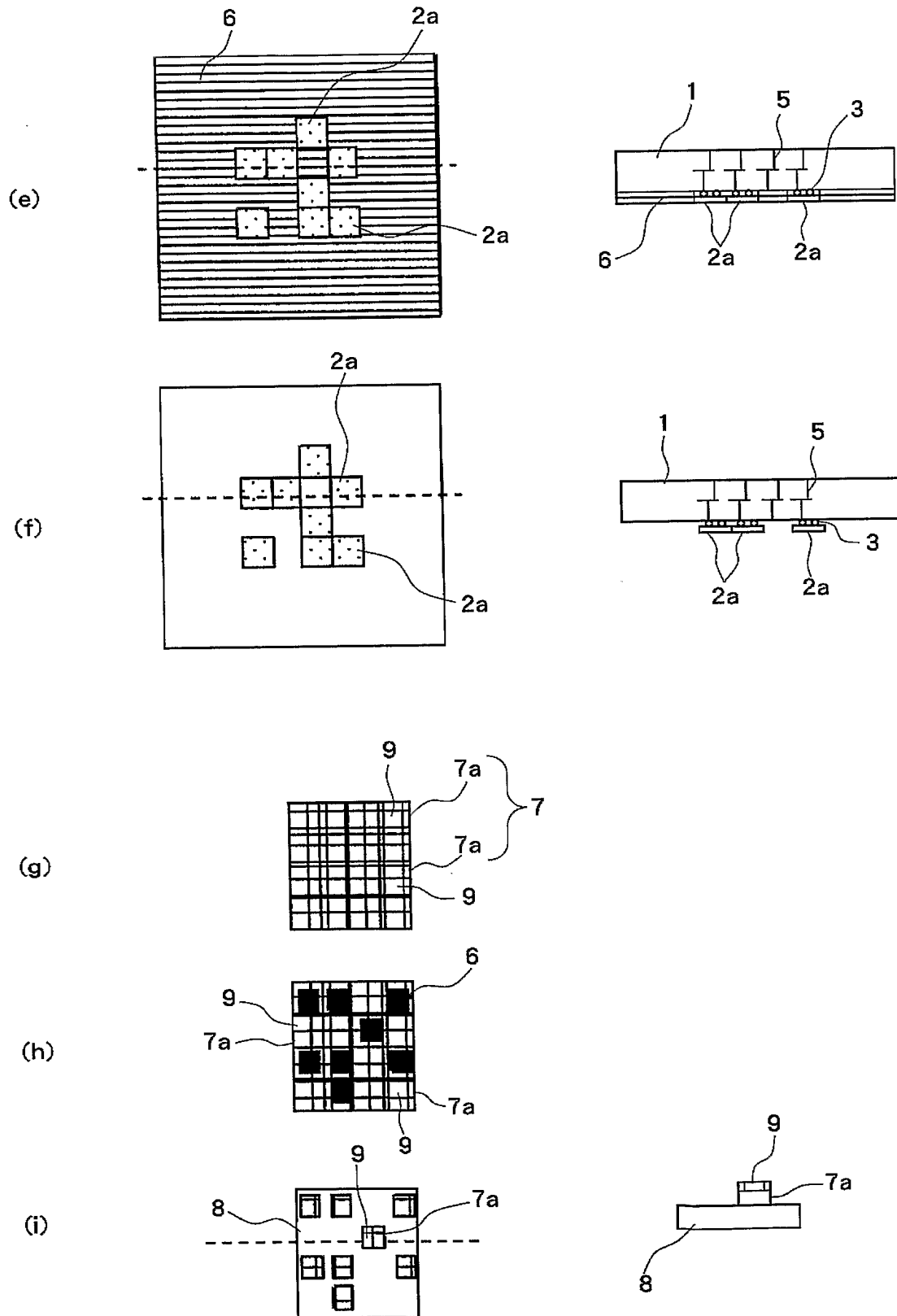
【図 16】



【図 17】

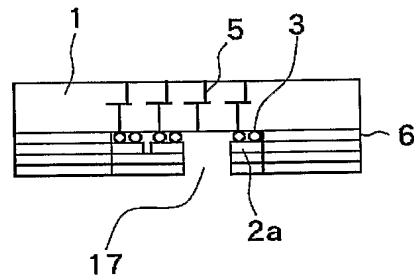


【図 18】

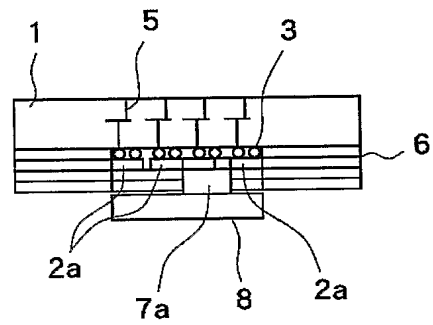


【図 19】

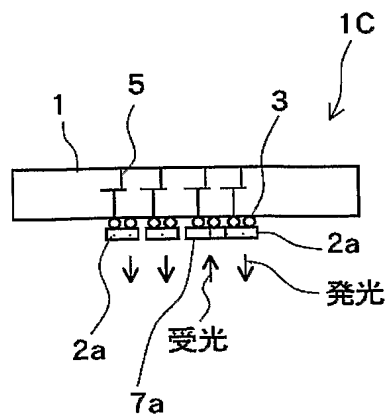
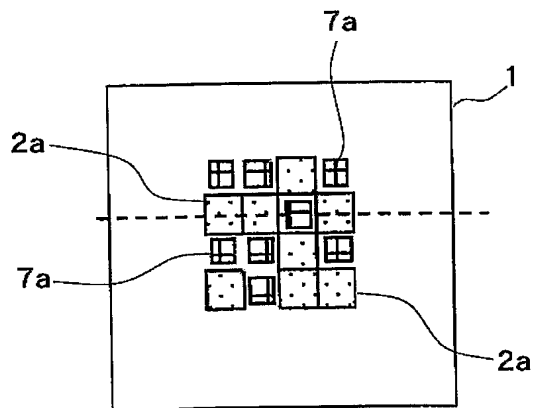
(j)



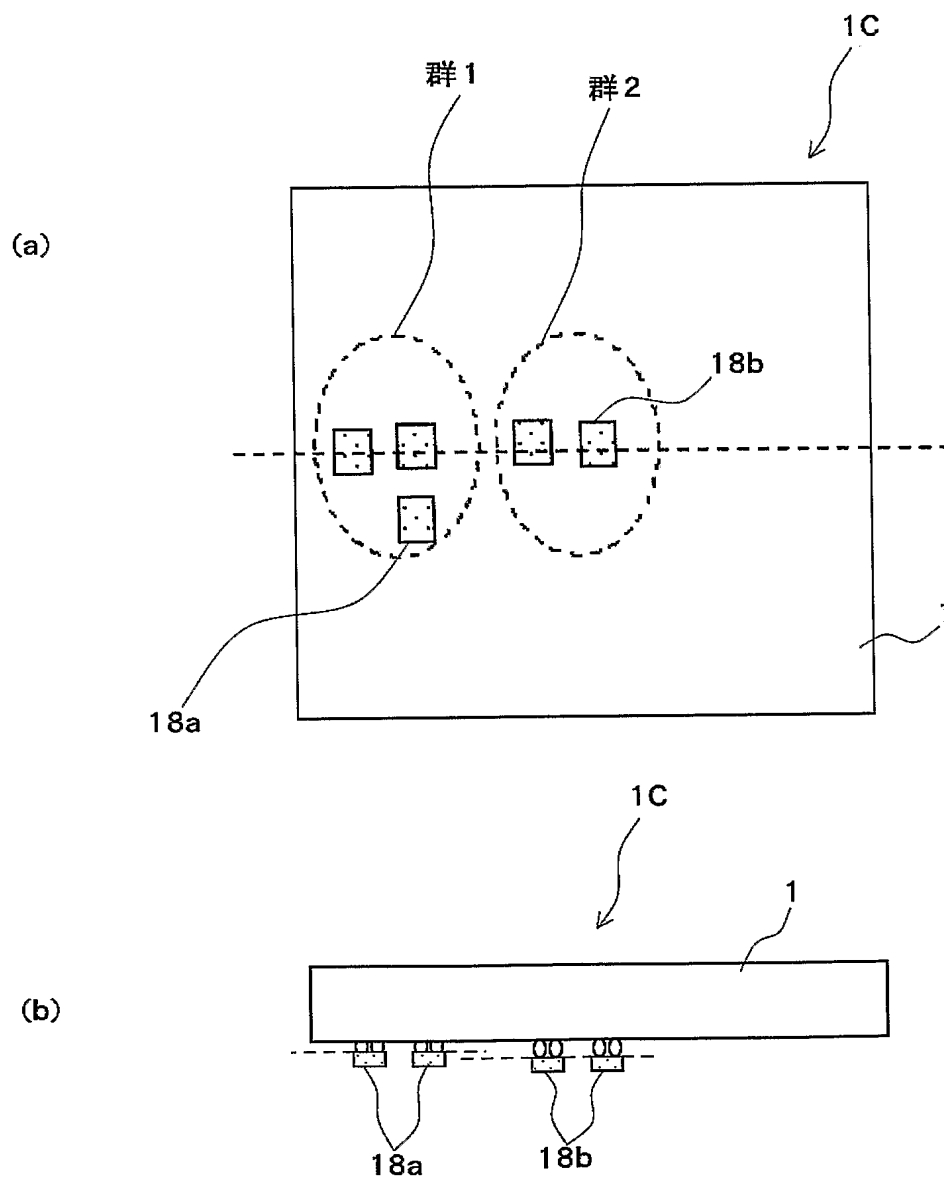
(k)



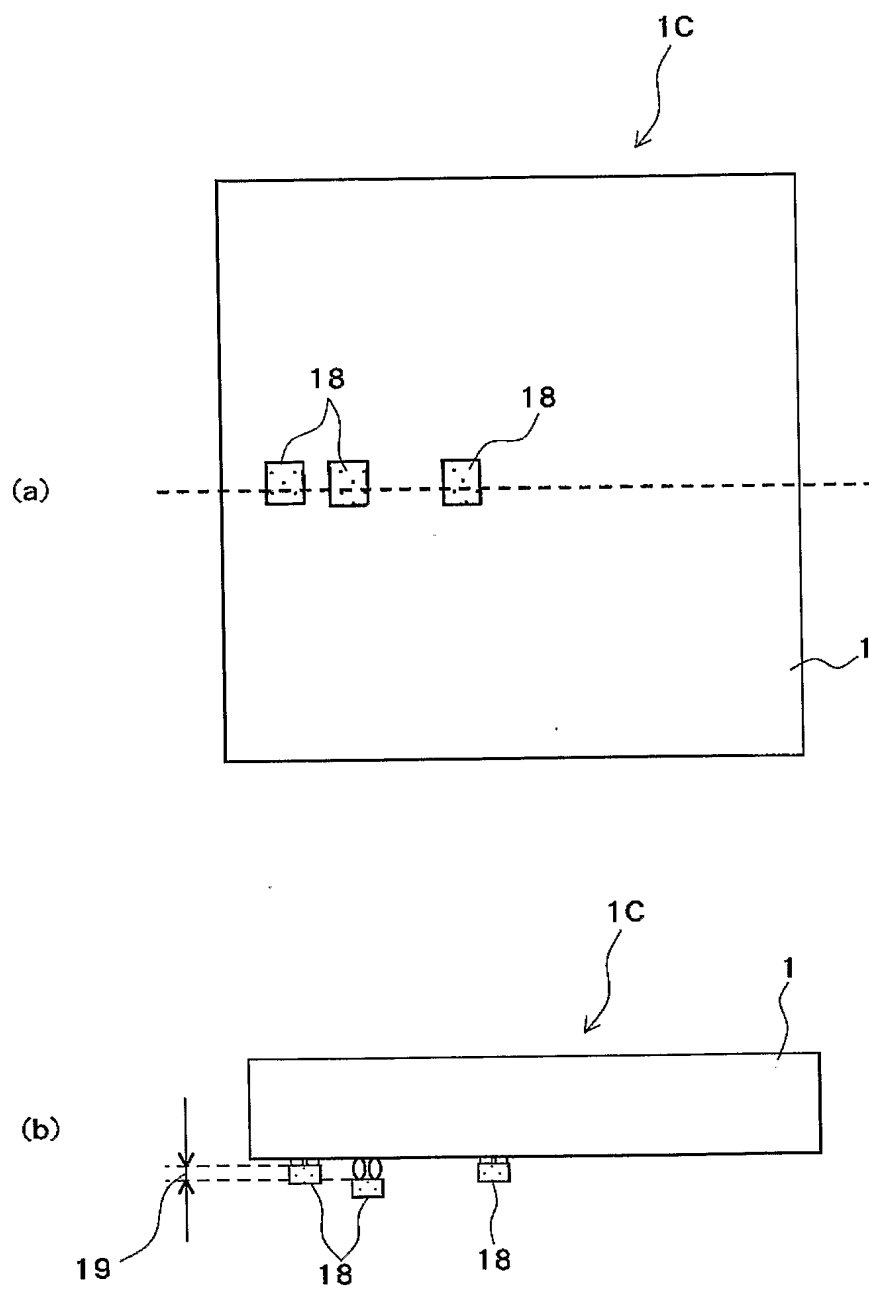
(l)



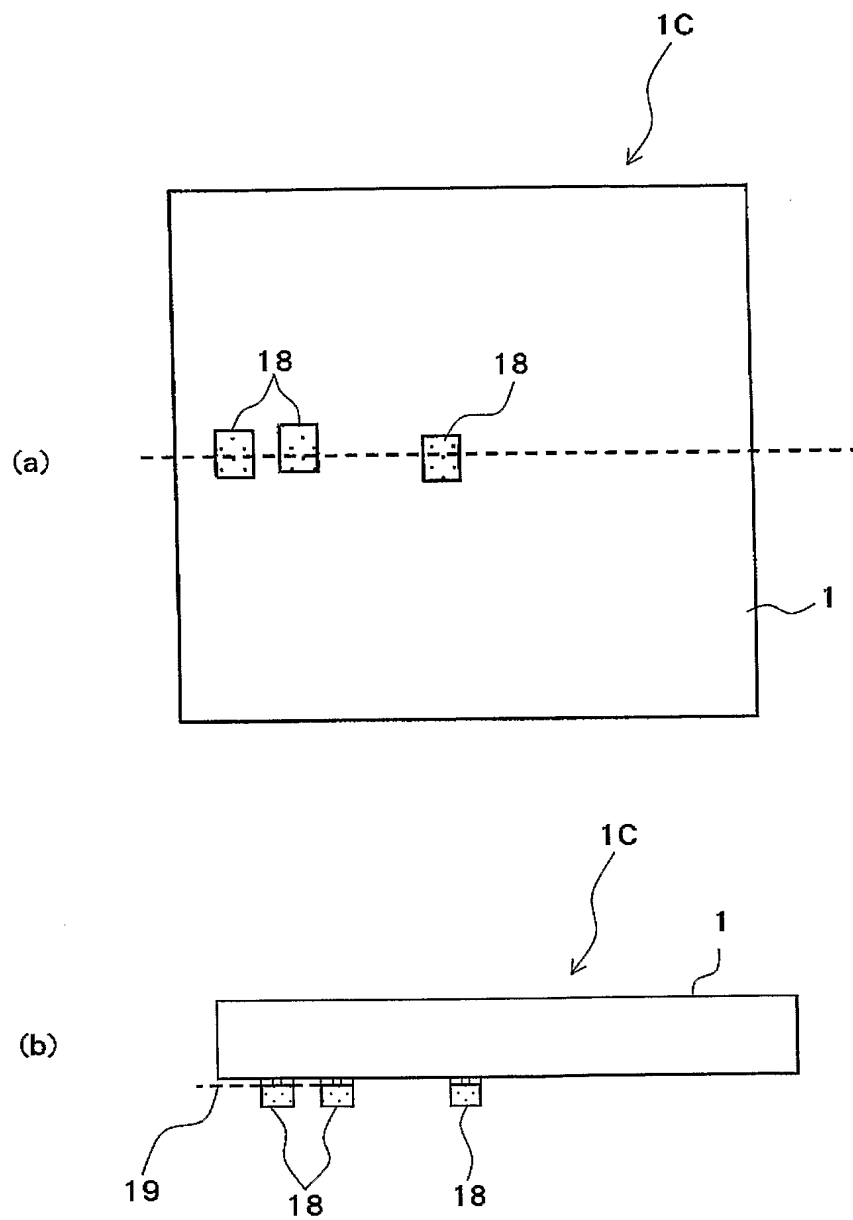
【図 20】



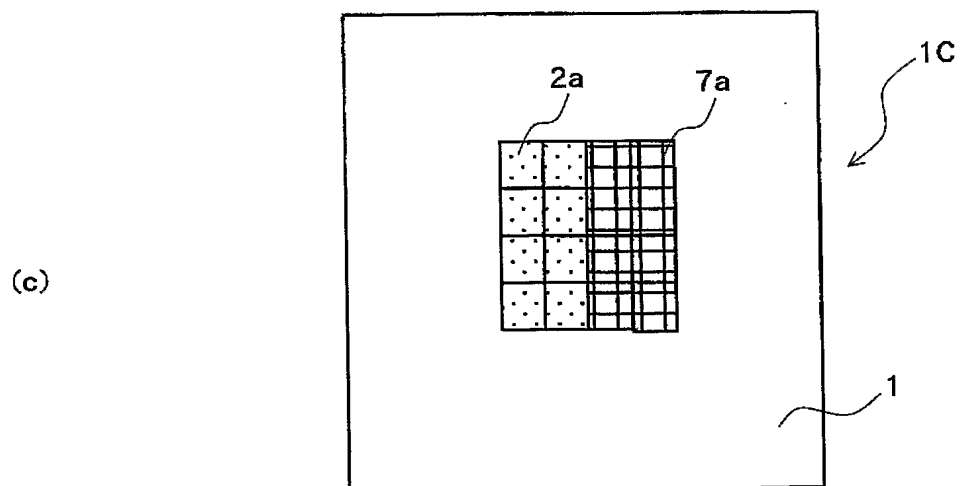
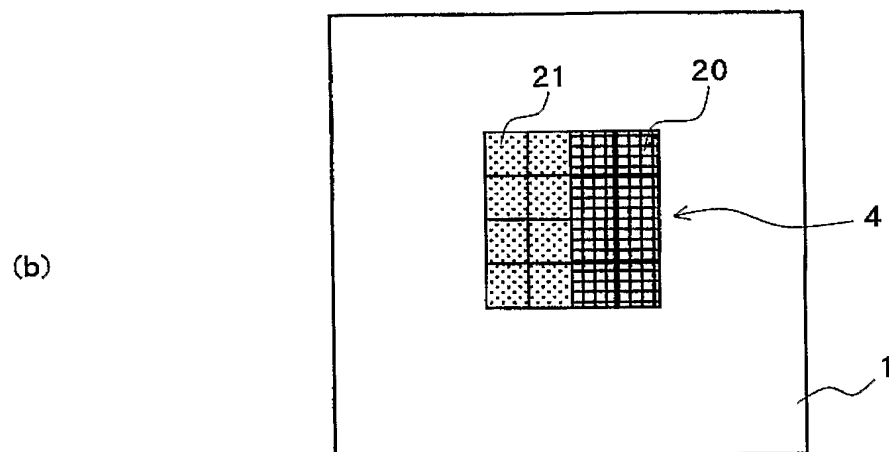
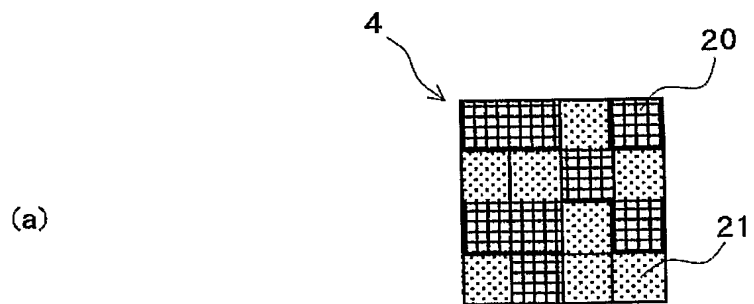
【図 21】



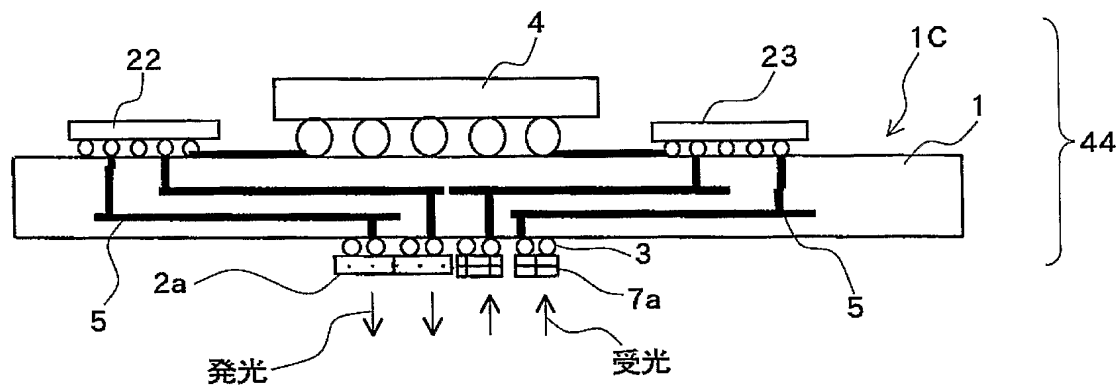
【図 22】



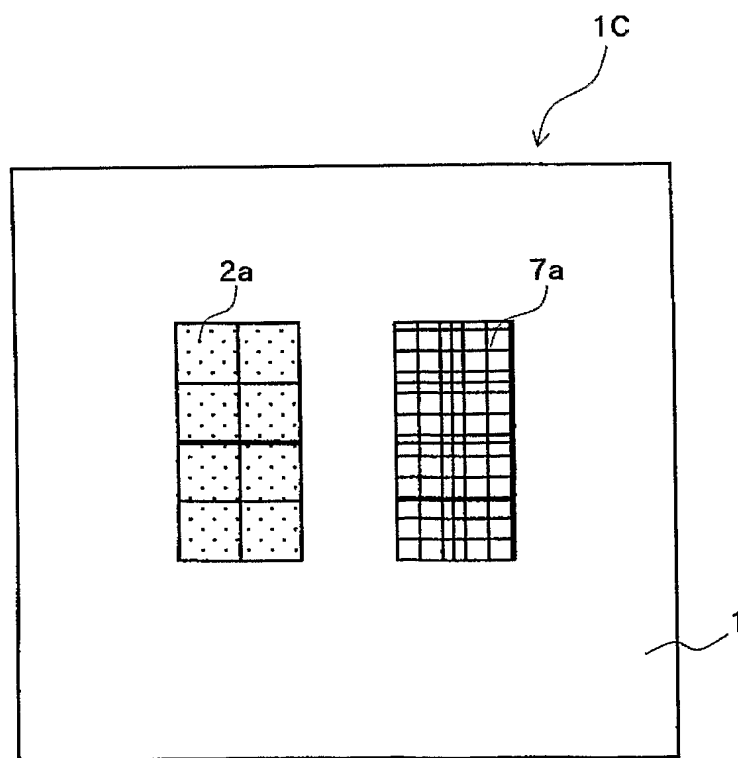
【図 23】



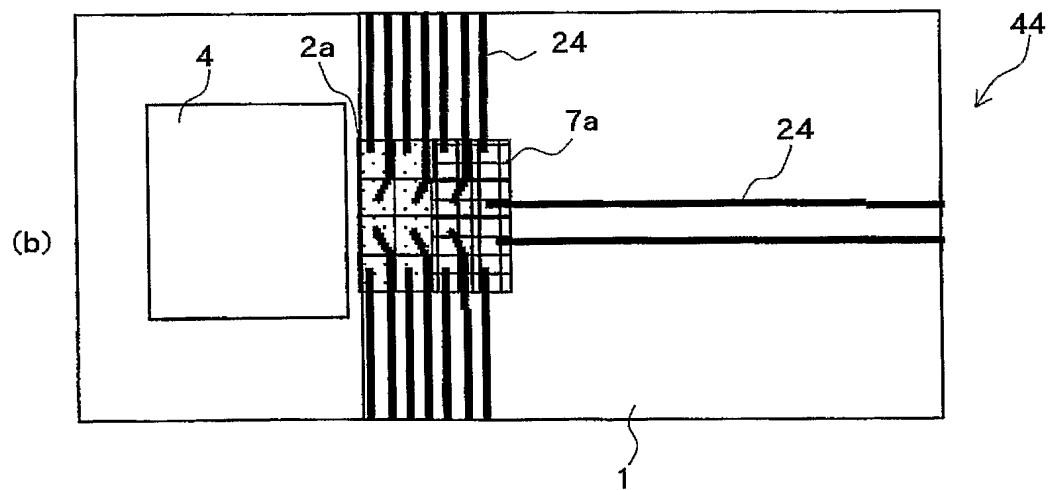
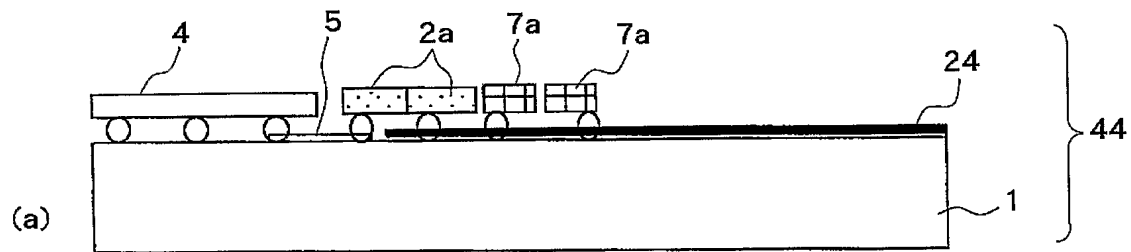
【図 24】



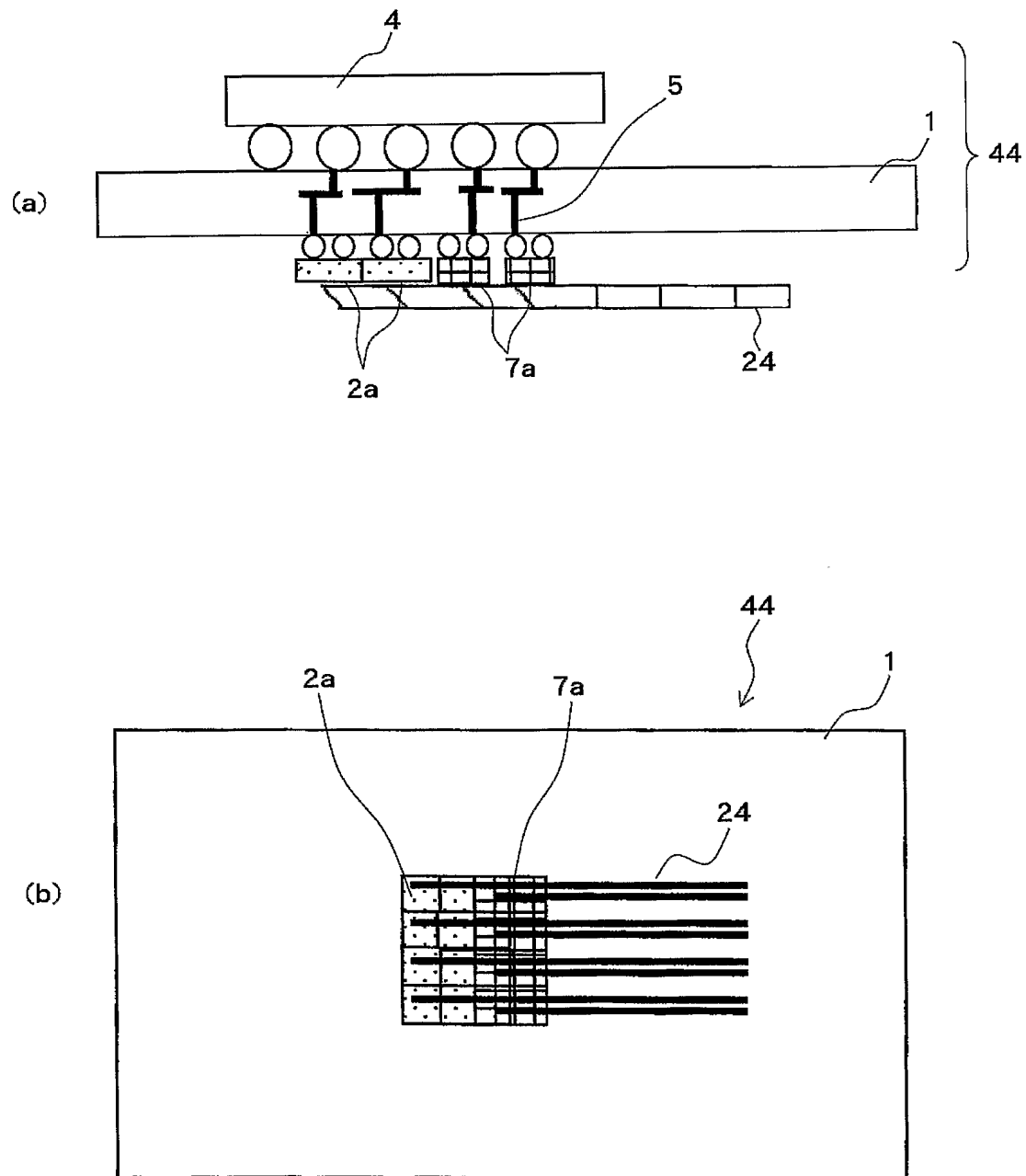
【図 25】



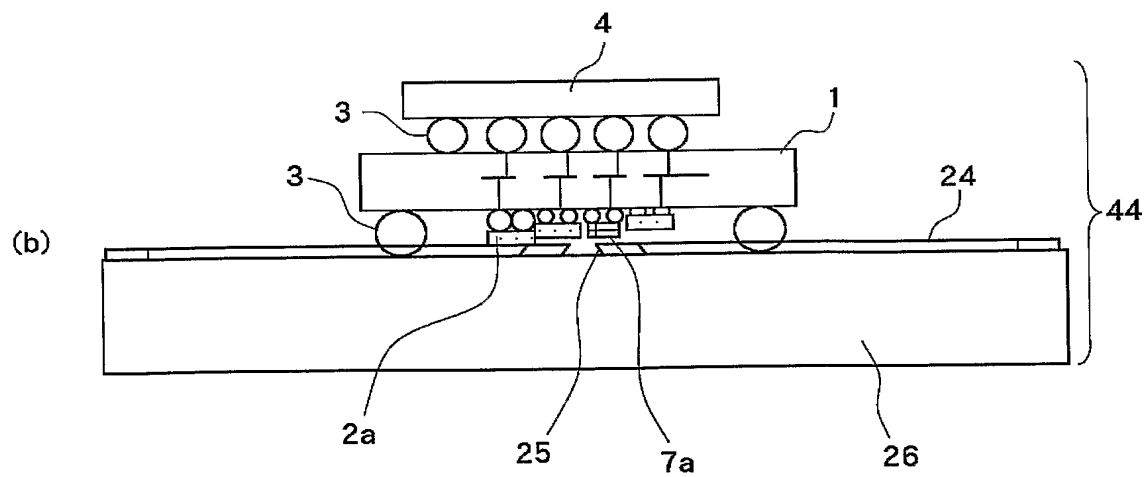
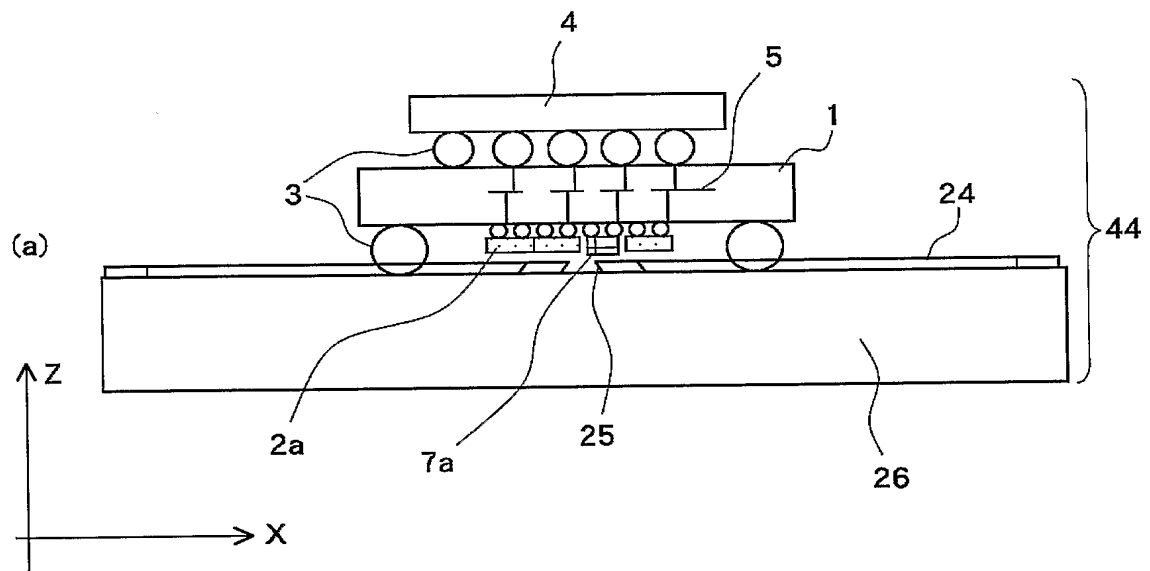
【図 26】



【図 27】



【図 28】



【書類名】 要約書

【要約】

【課題】 半導体集積回路を実装して光素子一体型 L S I を製造可能な基板であって、実装されている 2 以上の光素子の高さが一定に揃えられている基板を提供する。

【解決手段】 半導体集積回路を実装可能な基板 1 の 2 以上の入力ポートに、外部から入力された光信号を電気信号に変換して出力ポートに出力可能な受光素子 2 a が実装され、かつ、それら 2 以上の受光素子 2 a は高さが一定に揃えられており、上記基板 1 の出力ポートには実装されている半導体集積回路の電気信号入力ポートが接続可能である。

【選択図】 図 1

【書類名】 手続補正書
【整理番号】 34601871
【提出日】 平成16年 3月30日
【あて先】 特許庁長官 殿
【事件の表示】
【出願番号】 特願2003-434028
【補正をする者】
【識別番号】 000004237
【氏名又は名称】 日本電気株式会社
【代理人】
【識別番号】 100123788
【弁理士】
【氏名又は名称】 宮崎 昭夫
【電話番号】 03-3585-1882
【手続補正1】
【補正対象書類名】 特許願
【補正対象項目名】 発明者
【補正方法】 変更
【補正の内容】
【発明者】
【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
【氏名】 小田 三紀雄
【発明者】
【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
【氏名】 高橋 久弥
【発明者】
【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
【氏名】 中野 嘉一郎
【発明者】
【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
【氏名】 古宇田 光
【発明者】
【住所又は居所】 神奈川県横浜市緑区長津田 4 2 5 9 東京工業大学 精密工学研
究所内
【氏名】 小林 功郎
【その他】 本特許出願にあたり、代理人が願書を作成する際に、発明者「小
林 功郎」の住所又は居所を「長津田 4 2 5 9」と記載すべきと
ころを誤って、「中津田 4 2 5 9」と記載してしまいました。

特願 2 0 0 3 - 4 3 4 0 2 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 3 7]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社